

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124058

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H01G 4/12
C04B 35/49
// H01B 3/12

(21)Application number : 11-252052

(71)Applicant : TDK CORP

(22)Date of filing : 18.10.1989

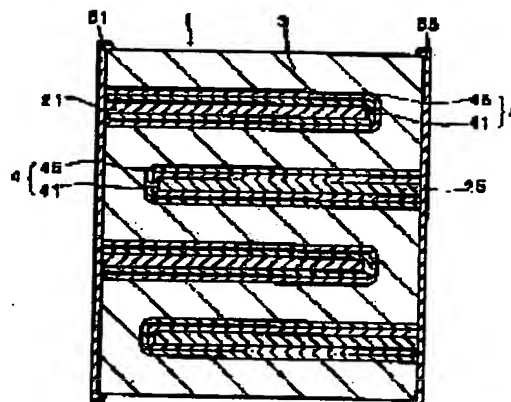
(72)Inventor : ABE MICHIO
NOMURA TAKESHI
SUMITA NARIKAZU
NISHIYAMA TSUGUSUKE
NAKANO YUKIE
IKEDA MASAACKI

(54) MULTILAYER CERAMIC CHIP CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a multilayer chip capacitor whose service life is long and reliability is superior by constituting the inner electrode material which is nickel or a nickel alloy and a dielectric material in a laminated state, baking the materials in a neutral or reducing atmosphere, and thermally treating the materials in a neutral or weak reducing atmosphere.

SOLUTION: In a multilayer chip capacitor 1, inner electrodes 21, 25 and dielectric layers 3 are laminated alternately, and a pair of outer electrodes 51, 55 are connected with the respective inner electrodes 21, 25. In this case, the inner electrodes 21, 25 are formed of Ni or Ni alloy. After that, baking is performed. In order to have the dielectric layer 3 re-oxidized, thermal treatment is performed. In the baking, a neutral or reducing atmosphere, especially a moistened mixture gas of N₂ and H₂ or the like is used as the gas for the reducing atmosphere. It is preferable that a heat treatment be performed at 900-1,200° C. As the gas for atmosphere, neutral or weak reducing atmosphere, especially moistened N₂ gas or the like is used.



LEGAL STATUS

[Date of request for examination]

06.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3419713

[Date of registration]

18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-124058

(P2000-124058A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl.	識別記号	F I	テマコード*(参考)
H 0 1 G 4/12	3 5 8	H 0 1 G 4/12	3 5 8
	3 6 4		3 6 4
C 0 4 B 35/49		H 0 1 B 3/12	3 0 4
// H 0 1 B 3/12	3 0 4		3 2 6
	3 2 6	C 0 4 B 35/49	Z
審査請求 有 請求項の数10 O L (全 15 頁)			

(21)出願番号 特願平11-252052
(62)分割の表示 特願平1-271226の分割
(22)出願日 平成1年10月18日(1989.10.18)

(71)出願人 000003067
ティーディーケイ株式会社
東京都中央区日本橋1丁目13番1号
(72)発明者 阿部 道郎
東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(72)発明者 野村 武史
東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(74)代理人 100082865
弁理士 石井 陽一

最終頁に続く

(54)【発明の名称】 積層型セラミックチップコンデンサ

(57)【要約】

【課題】 NiないしNi合金製内部電極を有する積層型チップコンデンサの誘電体層を改良することにより寿命が長く、信頼性の高い積層型セラミックチップコンデンサの製造方法を提供する。

【解決手段】 ニッケルまたはニッケル合金の内部電極材料と、誘電体材料とを層状に構成し、これを中性または還元性雰囲気中で焼成し、その後、弱酸化性雰囲気中で熱処理する構成の積層型セラミックチップコンデンサの製造方法とした。

【特許請求の範囲】

【請求項1】 ニッケルまたはニッケル合金の内部電極材料と、誘電体材料とを層状に構成し、これを中性または還元性雰囲気中で焼成し、その後、中性ないし弱還元性雰囲気中で熱処理する積層型セラミックチップコンデンサの製造方法。

【請求項2】 前記熱処理の中性ないし弱還元性雰囲気が、加湿した窒素ガスである請求項1の積層型セラミックチップコンデンサの製造方法。

【請求項3】 前記熱処理が、900℃～1200℃の範囲の温度条件下で行われる請求項1または2の積層型セラミックチップコンデンサの製造方法。

【請求項4】 前記誘電体材料は、下記式で表わされる組成の誘電体酸化物を含有し、Y、Gd、Tb、Dy、Zr、V、Mo、Cd、Ti、SnおよびPの酸化物および／または焼成により酸化物になる化合物から選ばれる1種以上を、酸化物換算で、0.005～0.5重量%含有する請求項1～3のいずれかの積層型セラミックチップコンデンサの製造方法。

式 $[(Ba_{1-x}Ca_xSr_y)O]_m \cdot (Ti_{1-z}Zr_z)_nO_2$

{上記式中、 $0.05 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.05 \leq z \leq 0.20$ 、 $1.002 \leq m \leq 1.020$ である。}

【請求項5】 前記誘電体材料がさらに、Li酸化物および／または焼成によりLi酸化物になる化合物を含有する請求項1～4のいずれかの積層型セラミックチップコンデンサの製造方法。

【請求項6】 前記焼成時の酸素分圧が 10^{-7} atm以下であって、前記熱処理の酸素分圧が 10^{-4} ～ 10^{-8} atmである請求項1～5のいずれかの積層型セラミックチップコンデンサの製造方法。

【請求項7】 前記誘電体材料は、下記式で表わされる組成の誘電体酸化物を含有し、Li酸化物および／または焼成によりLi酸化物になる化合物を酸化物換算で、0.005～0.5重量%含有する請求項1～3のいずれかの積層型セラミックチップコンデンサの製造方法。

式 $[(Ba_{1-x}Ca_xSr_y)O]_m \cdot (Ti_{1-z}Zr_z)_nO_2$

{上記式中、 $0.05 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.05 \leq z \leq 0.20$ 、 $1.002 \leq m \leq 1.020$ である。}

【請求項8】 前記誘電体材料がさらに、酸化ケイ素および／または酸化マンガン含有する請求項7の積層型セラミックチップコンデンサの製造方法。

【請求項9】 前記酸化ケイ素の含有量が、0.05～0.25重量%であり、前記酸化マンガンの含有量が、0.01～0.50重量%である請求項8の積層型セラミックチップコンデンサの製造方法。

【請求項10】 前記内部電極の周囲に前記誘電体層とは異なる組成の酸化物層を形成する請求項1～9のい

れかの積層型セラミックチップコンデンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、積層型セラミックチップコンデンサ、特に誘電体層の改良に関する。

【0002】

【従来の技術】 積層型セラミックチップコンデンサは通常、内部電極用のペーストと、誘電体層用のペーストとをグリーンシート法や印刷法等により積層し、一体同時焼成して製造される。

【0003】 そして内部電極には一般に、PdやPd合金が用いられているが、Pdは高価であるため、比較的安価なNiやNi合金が使用されつつある。

【0004】 ところで、内部電極をNiやNi合金で形成する場合は、大気中で焼成を行うと電極が酸化してしまう。

【0005】 このため、一般に、脱バインダ後は、NiとNiOの平衡酸素分圧よりも低い酸素分圧で焼成し、熱処理により誘電体層を再酸化させている。

【0006】 この場合、誘電体材料の緻密化を図るため、通常酸化剤としてSiO₂が加えられる。さらには、工程中にAl₂O₃等が混入することが多い。

【0007】 これらとBaO、TiO₂等を含むいわゆる粒界相成分は、還元雰囲気中で焼成を行うと、絶縁抵抗の低下をもたらすものと考えられる。

【0008】 また、誘電体層の還元による絶縁抵抗の低下等を防止するため、Mnの添加や、Ca置換等も行われている。

【0009】

【発明が解決しようとする課題】 しかし、NiやNi合金製の内部電極を有する積層型チップコンデンサは、大気中で焼成して製造されるPd製の内部電極を有する積層型チップコンデンサにくらべ、絶縁抵抗の寿命が圧倒的に短く、信頼性が低いという問題がある。

【0010】 本発明の目的は、NiないしNi合金製内部電極を有する積層型チップコンデンサの誘電体層を改良することにより寿命が長く、信頼性の高い積層型セラミックチップコンデンサの製造方法を提供することにある。

【0011】

【課題を解決するための手段】 このような目的は、下記(1)～(10)のいずれかの構成により達成される。

(1) ニッケルまたはニッケル合金の内部電極材料と、誘電体材料とを層状に構成し、これを中性または還元性雰囲気中で焼成し、その後、中性ないし弱還元性雰囲気中で熱処理する積層型セラミックチップコンデンサの製造方法。

(2) 前記熱処理の中性ないし弱還元性雰囲気が、加湿した窒素ガスである上記(1)の積層型セラミックチップコンデンサの製造方法。

(3) 前記熱処理が、900℃～1200℃の範囲の温度条件下で行われる上記(1)または(2)の積層型セラミックチップコンデンサの製造方法。

(4) 前記誘電体材料は、下記式で表わされる組成の誘電体酸化物を含有し、Y、Gd、Tb、Dy、Zr、V、Mo、Cd、Ti、SnおよびPの酸化物および／または焼成により酸化物になる化合物から選ばれる1種以上を、酸化物換算で、0.005～0.5重量%含有する上記(1)～(3)のいずれかの積層型セラミックチップコンデンサの製造方法。

式 $[(Ba_{1-x}Ca_xSr_y)O]_x \cdot (Ti_{1-z}Zr_z)O_2$

{上記式中、 $0.05 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.05 \leq z \leq 0.20$ 、 $1.002 \leq m \leq 1.020$ である。}

(5) 前記誘電体材料がさらに、Li酸化物および／または焼成によりLi酸化物になる化合物を含有する上記(1)～(4)のいずれかの積層型セラミックチップコンデンサの製造方法。

(6) 前記焼成時の酸素分圧が 10^{-7} atm以下であって、前記熱処理の酸素分圧が 10^{-4} ～ 10^{-8} atmである上記(1)～(5)のいずれかの積層型セラミックチップコンデンサの製造方法。

(7) 前記誘電体材料は、下記式で表わされる組成の誘電体酸化物を含有し、Li酸化物および／または焼成によりLi酸化物になる化合物を酸化物換算で、0.005～0.5重量%含有する上記(1)～(3)のいずれかの積層型セラミックチップコンデンサの製造方法。

式 $[(Ba_{1-x}Ca_xSr_y)O]_x \cdot (Ti_{1-z}Zr_z)O_2$

{上記式中、 $0.05 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.05 \leq z \leq 0.20$ 、 $1.002 \leq m \leq 1.020$ である。}

(8) 前記誘電体材料がさらに、酸化ケイ素および／または酸化マンガン含有する上記(7)の積層型セラミックチップコンデンサの製造方法。

(9) 前記酸化ケイ素の含有量が、0.05～0.25重量%であり、前記酸化マンガンの含有量が、0.01～0.50重量%である上記(8)の積層型セラミックチップコンデンサの製造方法。

(10) 前記内部電極の周囲に前記誘電体層とは異なる組成の酸化物層を形成する上記(1)～(9)のいずれかの積層型セラミックチップコンデンサの製造方法。

【0012】

【作用および効果】本発明の積層型セラミックチップコンデンサの製造方法には、所定の化合物を添加したチタン酸バリウム系の誘電体材料を用いる。

【0013】そして、脱バインダ処理後、所定の条件で焼成および熱処理を行って製造される。

【0014】このような本発明の方法で製造された積層型セラミックチップコンデンサは、従来の無添加のチップコンデンサにくらべ寿命が約2～10倍に増大し、優

れた信頼性が得られる。

【0015】なお、特公昭60-20851号公報には、 $[(Ba_xCa_ySr_z)O]_x \cdot (Ti_{1-z}Zr_z)O_2$ からなる基本成分と、 Li_2O や SiO_2 を含有するガラスとを含む誘導体磁器物質あるいは、さらに MnO_2 を添加した誘電体磁器物質を用いたNi合金製の内部電極を有する積層型セラミックチップコンデンサが開示されている。

【0016】しかし、本発明の積層型セラミックチップコンデンサの製造方法とは焼成あるいは熱処理時の酸素分圧条件等が異なっている。また、有効な添加物がなく、アニール温度が低いと、十分な酸化ができない。

【0017】このため、信頼性が低く、寿命の長いチップコンデンサを得ることは困難である。

【0018】加えて、前記公報には、本発明によって得られる選択的効果、すなわち従来のものにくらべ寿命が圧倒的に長いという効果は示唆すらされていない。

【0019】

【発明の実施の形態】以下、本発明の方法によって製造される積層型セラミックチップコンデンサの具体的構成を詳細に説明する。

【0020】図1および図2には、それぞれ本発明方法によって得られる積層型セラミックチップコンデンサの好適例が示される。

【0021】積層型チップコンデンサ1は、内部電極21、25と、誘電体層3とが交互に積層され、各内部電極21、25に接続している1対の外部電極51、55を有するものである。

【0022】本発明では、内部電極21、25は、NiまたはNi合金から形成され、この場合、Ni合金としては、Niを95重量%以上含有するNiと、Mn、Cr、Co、Al等の1種以上との合金であることが好ましい。

【0023】これらは、本発明に従い、十分な寿命や信頼性を得ることができる。

【0024】なお、NiまたはNi合金中には、微量成分として、0.1重量%以下のP等が含有されていてもよい。

【0025】内部電極21、25の厚み等の諸条件は目的や用途に応じ適宜決定をすればよいが、通常厚みは、1～5μm、特に2～3μm程度である。

【0026】誘電体層3は、グレインと粒界相で構成されている。

【0027】誘電体層3の材質は、下記式で表わされる組成の誘電体酸化物を含有するものである。

式 $[(Ba_{1-x}Ca_xSr_y)O]_x \cdot (Ti_{1-z}Zr_z)O_2$

【0028】この場合、xは0.05～0.25、好ましくは0.06～0.10、yは0～0.05、好ましくは0～0.01、zは0.05～0.20、好ましくは0.15～0.20、mは1.002～1.020、好ましくは1.002～1.015である。

【0029】そして、さらに酸化ケイ素および／または酸化マンガンを含むものが好ましい。

【0030】この場合酸化ケイ素の含有量は0.05～0.25重量%程度、酸化マンガンの含有量は0.01～0.50重量%程度が好ましい。

【0031】そして、酸化ケイ素を SiO_2 の形で含有し、酸化マンガン MnO の形で含むものが好適である。

【0032】また、Al酸化物、Ni酸化物、Mg酸化物、Co酸化物、Hf酸化物等が0.5重量%程度以下含有されてもよい。

【0033】そして、本発明ではさらに、Y、Gd、Tb、Dy、Zr、V、Mo、Zn、Cd、Tl、SnおよびPの酸化物から選ばれる1種以上が、最も安定な酸化物である Y_2O_3 、 Gd_2O_3 、 Tb_2O_3 、 Dy_2O_3 、 ZrO_2 、 V_2O_5 、 MoO_3 、 CdO 、 Tl_2O_3 、 SnO_2 および P_2O_5 換算で合計0.005～0.5重量%、好ましくは0.01～0.25重量%、特に好ましくは0.05～0.20重量%程度含まれる。

【0034】さらには、前記酸化物に加え、Li酸化物が含有されてもよい。この場合は、 Li_2O で換算し、合計量が前記範囲であることが好ましい。

【0035】また、前記酸化物に加え、Li酸化物のみが Li_2O 換算で0.005～0.5重量%、好ましくは0.01～0.25重量%、特に好ましくは0.05～0.20重量%程度含まれる。

【0036】なお、通常Pはリン酸塩の形で含有され、P以外は通常、上記の最も安定な酸化物の形で含有される。

【0037】そして、Pは誘電体層3中に主に粒界相に含まれ、P以外は主にグレイン中に含まれる。

【0038】なお、上記以外の元素の酸化物および上記範囲外の添加量では本発明の効果は実現しない。

【0039】誘電体層3の積層数や厚み等の諸条件は、目的や用途に応じ適宜決定すればよい。

【0040】通常積層数は、1～100、特に5～50程度であり、厚みは、5～50 μm 、特に10～20 μm 程度である。

【0041】また、誘電体層3のグレインの平均粒子径は、1～5 μm 程度であることが好ましい。

【0042】そして、本発明では、誘電体層3を構成するグレイン以外の部分である粒界相の面積比が、誘電体層3の任意の断面にて、2%以下、好ましくは0.5～1.5%、特に好ましくは0.5～1.0%程度であることが好ましい。

【0043】前記範囲をこえると寿命が短くなり、信頼性が低下する傾向にある。

【0044】また、あまり小さくは誘電体層3の形成が困難であり、誘電体の緻密化が不十分となる傾向にある。

【0045】なお、粒界相の面積比の測定には、走査型電子顕微鏡を用いて写真を撮り、これから求めればよい。

【0046】この粒界相は、通常誘電体材料あるいは内部電極材料を構成する材質の酸化物や、別途添加された材質の酸化物、さらには工程中に不純物として混入する材質の酸化物を成分とし、通常ガラスないしガラス質で形成されている。

【0047】そして、本発明では、粒界相が、 SiO_2 を15重量%以上、より好ましくは25～50重量%程度、 Al_2O_3 を15重量%以上、より好ましくは20～50重量%程度含有する酸化物相であることが好ましい。

【0048】さらには、前述したようにP酸化物が0.05～1.0重量%、より好ましくは0.1～0.6重量%程度含有する酸化物相であることが好ましい。

【0049】このような場合には、本発明の寿命向上効果はより一層向上する。

【0050】また、粒界相には、その他に、55重量%以下の範囲で、例えばCa、Fe、Mn、Zr、Ti、Ba、Ni、Sr等が何らかの酸化物の形で、含有されてもよい。

【0051】この場合、 SiO_2 やBa、Ca、Sr、Ti、Zr、Mn等は、主に誘電体材料の構成中から供給され、 Al_2O_3 は、主に工程中に不純物として混入し、Fe、P等は主に内部電極材料および誘電体材料の不純物等から供給されて粒界相を形成する。

【0052】また、本発明では、図2に示されるように内部電極21、25の周囲に誘電体層3とは異なる組成の酸化物層4が形成されることが好ましい。

【0053】酸化物層4の材質は各種酸化物の1種以上を含むものであればよく、そのときさらに優れた寿命向上効果が得られる。

【0054】この場合、酸化物層4に、Mn酸化物、P酸化物およびFe酸化物等から選ばれる1種ないし2種以上が含まれていると、さらに寿命が延び、一層優れた信頼性が得られる。

【0055】このうち本発明ではMn酸化物が含まれていると特に高い効果が認められる。

【0056】Mn酸化物の場合、その含有量はMnO換算で1～99重量%、より好ましくは10～60重量%、特に好ましくは30～45重量%程度であることが好ましい。

【0057】なお、Mn酸化物を含む場合、その他に例えばAl、Si、Ca、Ni、Fe、Ba、Ti、Zr、P等が、通常、酸化物の形で、含有される。

【0058】Mn酸化物やSi、Ca、Ba、Ti、Zr、P等は、主に誘電体材料の構成中から供給され、Niは内部電極材料中から供給され、さらに、Fe、P、Al等は主に内部電極材料および誘電体材料の不純物等

から供給されて酸化物層中に含有される。

【0059】P酸化物の場合、その含有量は P_2O_5 換算で0.1～99重量%、より好ましくは3～30重量%、特に好ましくは15～25重量%程度であることが好ましい。

【0060】なお、P酸化物を含有する場合、その他に例えばTi、Ba、Fe、Al、Si、Ca、Zr、Mn等が、通常、酸化物の形で含有される。

【0061】P酸化物は、通常、誘電体材料中に不純物として含有されるかもしくは、添加されたP化合物から酸化物層中に含有される。そして、通常リン酸塩の形で含有される。

【0062】また、Ti、Ba、Ca、Zr、Si、Mn等は、主に誘電体材料の構成中から供給され、さらにFe、Al等は主に内部電極材料および誘電体材料の不純物等から供給されて酸化物層中に含有される。

【0063】これら、MnおよびPの酸化物は、酸化物層中に析出したとき、負荷時のNiイオンのマイグレーションを防止するバリアー層として働くものであると考えられる。

【0064】Fe酸化物の場合、その含有量は Fe_2O_3 換算で0.1～99重量%、より好ましくは0.5～30重量%、特に好ましくは5～20重量%程度であることが好ましい。

【0065】なお、Fe酸化物を含有する場合、その他に例えばAl、Si、Ca、Ti、Ni、Ba、Zr、Mn、P等が、通常、酸化物の形で含有される。

【0066】Fe酸化物は主に内部電極材料および誘電体材料の不純物等から供給されて酸化物層中に含有される。

【0067】また、Si、Ca、Ti、Ba、Zr、Mn等は、主に誘電体材料の構成中から供給され、Niは、内部電極材料中から供給され、さらにAl、P等は主に内部電極材料や誘電体材料の不純物等から供給されて酸化物層中に含有される。

【0068】ところで誘電体層3を構成するグレイン中には、原料自体に含まれるFe成分あるいは工程中に含まれてくるFe成分が含まれていて、寿命短縮の原因となっている。

【0069】従って、Fe酸化物の場合は、前記Mn酸化物やP酸化物とは異なり、酸化物層4に集め、グレイン中のFe成分を減少させて寿命を向上させるものであると考えられる。

【0070】このような酸化物層4の厚みは0.01～1 μm 、特に0.05～0.2 μm 程度であることが好ましい。

【0071】前記範囲未満では本発明の効果が減少する傾向にあり、前記範囲をこえるとコンデンサとしての本来の機能である蓄電能力を低下させる。

【0072】つまり容量値の低下をもたらすだけでな

く、破壊電圧の低下、寿命の短縮等、信頼性も低下する。

【0073】また、酸化物層4は、1層構造でもよいが、図2に示されるように2層構造であれば本発明の寿命はさらに向上する。

【0074】2層構造の場合は、一方の層にP酸化物、他方の層にMn酸化物を特に高濃度を含むものが好ましい。そして、Fe酸化物がさらに含まれていれば一層効果的である。

【0075】この場合、P酸化物は下層酸化物層41に含まれ、Mn酸化物は上層酸化物層45に含まれる。このため、下層酸化物層41が下地層となり1層の場合に比べ容易に酸化物層45を形成できる。具体的には、酸化物層45を形成でき、加えて、Mn酸化物の含有量を多くできる。

【0076】なお、Fe酸化物は、通常上層酸化物層45に含まれるが、下層酸化物層41に含まれていてもよい。

【0077】上層酸化物層45のMn酸化物の含有量は、 MnO 換算で1～99重量%、好ましくは10～50重量%、特に好ましくは25～40重量%程度であることが好ましい。

【0078】また、上層酸化物層45のFe酸化物の含有量は、 Fe_2O_3 換算で0.1～99重量%、好ましくは0.1～25重量%、特に好ましくは5～15重量%程度であることが好ましい。

【0079】なお、さらにTi、Ni、Ca、Ba、Zr、Al、Si、P等が酸化物の形で含有されていてもよい。

【0080】また、下層酸化物層41のP酸化物の含有量は、 P_2O_5 換算で0.1～99重量%、好ましくは3～30重量%、特に好ましくは15～25重量%程度であることが好ましい。

【0081】なお、さらに、Ba、Ca、Ti、Zr、Al、Si、Mn、Ni等が酸化物の形で含有されていてもよい。

【0082】この場合、上層酸化物層45の厚みは0.005～0.995 μm 、特に0.05～0.2 μm 程度であることが好ましい。

【0083】また、下層酸化物層41の厚みは0.005～0.995 μm 、特に0.05～0.2 μm 程度であることが好ましい。

【0084】なお、このほか酸化物層4は3層以上の構造であってもよい。

【0085】そして、酸化物層4には、後述のように誘電体材料に添加されたLi、V、Ni、Zn、Y、Zr、Mo、Cd、Sn、Gd、Tb、Dy、Tl等の1種以上が酸化物の形で含有されていてもよい。

【0086】外部電極51、55には、通常CuやCu合金あるいはNiやNi合金等を用いる。

【0087】なお、AgやAg-Pd合金等もちろん使用可能である。

【0088】外部電極51、55の厚みは任意であり、目的や用途に応じ適宜決定すればよいが、通常10～50μm程度である。

【0089】そして、このような積層型チップコンデンサ1の形状やサイズは、目的や用途に応じ適宜決定すればよい。例えば直方体状の場合は、通常1.6～3.2mm×0.8～1.6mm×0.6～1.2mm程度である。

【0090】本発明方法により得られる積層型セラミックチップコンデンサは下記のとおり製造される。

【0091】まず、誘電体層3用ペースト、内部電極21、25用ペーストおよび外部電極51、55用ペーストをそれぞれ製造する。

【0092】誘電体層3用のペーストを製造する際に用いる誘電体の原料粉末としては、通常、後述される誘電体酸化物の組成に応じ、Ti、Ba、Sr、Ca、Zr等の酸化物とを用いればよい。

【0093】この場合、さらに酸化ケイ素および/または酸化マンガンを用いればより一層高い効果が得られる。

【0094】またこれらは焼成により酸化物になる化合物、例えば炭酸塩、硫酸塩、硝酸塩、シュウ酸塩、有機金属化合物等を用いてもよい。

【0095】さらには、酸化物と、焼成により酸化物になる化合物とを併用してもよい。

【0096】これらの原料粉末は、通常、平均粒子径0.1～5μm程度のものが用いられる。

【0097】このような原料粉末から誘電体材料を得るには例えば下記のようにすればよい。

【0098】まず出発原料を所定の量比に配合し、例えば、ボールミル等により湿式混合する。

【0099】次いで、スプレードライヤー等により乾燥させ、その後仮焼し、酸化ケイ素と、酸化マンガんと、下記式の誘電体酸化物とを得る。

【0100】なお、仮焼は、通常800～1300℃にて、2～10時間程度、空気中にて行う。

式 $[(Ba_{1-x}Ca_xSr_y)O]_n \cdot (Ti_{1-z}Zr_z)_mO_2$

【0101】上記において、xは0.05～0.25、好ましくは0.06～0.10、yは0～0.05、好ましくは0～0.01、zは0.05～0.20、好ましくは0.15～0.20、mは1.000～1.020、好ましくは1.002～1.015である。

【0102】また、酸化ケイ素の含有量は、0.05～0.25重量%、特に0.10～0.20重量%程度、酸化マンガンの含有量は、0.005～2重量%、特に0.005～0.5重量%程度が好ましい。

【0103】この場合、酸化ケイ素はSiO₂、酸化マンガンはMnOが好適である。

【0104】なお、酸化ケイ素や酸化マンガンの添加は

仮焼の後に行ってもよい。

【0105】次いで、上記誘電体酸化物に、Y、Gd、Tb、Dy、Zr、V、Mo、Cd、Tl、SnおよびPの酸化物および/または焼成により酸化物になる化合物から選ばれる1種以上を添加する。

【0106】さらには、Li酸化物および/または焼成によりLi酸化物になる化合物を添加してもよい。

【0107】または、前記酸化物や化合物にかえ、Li酸化物および/または焼成によりLi酸化物になる化合物のみを添加する。

【0108】酸化物になる化合物としては、例えば炭酸塩、硫酸塩、シュウ酸塩、硝酸塩、有機金属化合物等が挙げられ、これらの1種以上を併用してもよい。

【0109】この場合、添加量は、最も安定な酸化物であるLi₂O、Y₂O₃、Gd₂O₃、Tb₂O₃、Dy₂O₃、ZrO₂、V₂O₅、MoO₃、CdO、Tl₂O₃、SnO₂およびP₂O₅換算で合計0.005～0.5重量%、好ましくは0.01～0.25重量%、特に好ましくは0.05～0.20重量%程度である。

【0110】前記範囲未満では寿命が短く、信頼性が低下する傾向にある。

【0111】前記範囲をこえるとコンデンサとしての本来の機能である蓄電能力を低下させる。つまり容量値の低下をもたらすだけでなく、破壊電圧の低下、寿命の短縮等、信頼性も低下する。

【0112】次いで、ジェットミルあるいはボールミル等にて所定粒径となるまで粉碎し、誘電体材料を得る。

【0113】誘電体層3用のペーストを調整する際に用いられる結合剤、可塑剤、分散剤、溶剤等の添加剤は種々のものであってよい。また、ガラスフリットを添加してもよい。

【0114】結合剤としては、例えばエチルセルロース、アビエチン酸レジン、ポリビニール・ブチラールなど、可塑剤としては、例えばアビエチン酸誘導体、ジエチル蓚酸、ポリエチレングリコール、ポリアルキレングリコール、フタル酸エステル、フタル酸ジブチルなど、分散剤としては、例えばグリセリン、オクタデシルアミン、トリクロロ酢酸、オレイン酸、オクタジェン、オレイン酸エチル、モノオレイン酸グリセリン、トリオレイン酸グリセリン、トリステアリン酸グリセリン、メンセーデン油など、溶剤としては、例えばトルエン、テルピネオール、ブチルカルビトール、メチルエチルケトンなどが挙げられる。

【0115】このペーストを調整する際の誘電体材料の全体に対する割合は50～80重量%程度とし、その他、結合剤は2～5重量%、可塑剤は0.1～5重量%、分散剤は0.1～5重量%、溶剤は20～50重量%程度とする。

【0116】そして、前記誘電体材料とこれらを混合し、例えば3本ロール等で混練してペースト（スラリ

一)とする。

【0117】内部電極21、25用のペーストを製造する際に用いる導体材料としては、NiやNi合金さらにはこれらの混合物を用いる。

【0118】このような導体材料は、球状、リン片状等、その形状に特に制限はなく、またこれらの形状のものが混合したものであってもよい。

【0119】また、平均粒子径は0.1~10 μm 、さらには0.1~1 μm 程度のものを用いればよい。

【0120】有機質ビヒクルは、バインダーおよび溶剤を含有するものである。

【0121】バインダーとしては、例えばエチルセルロース、アクリル樹脂、ブチラール樹脂等公知のものはいずれも使用可能である。

【0122】バインダー含有量は1~5重量%程度とする。

【0123】溶剤としては、例えばテルピネオール、ブチルカルビトール、ケロシン等公知のものはいずれも使用可能である。

【0124】溶剤含有量は20~55重量%程度とする。

【0125】この他、総計10重量%程度以下の範囲で、必要に応じ、ソルビタン脂肪酸エステル、グリセリン脂肪酸エステル等の分散剤や、ジオクチルフタレート、ジブチルフタレート、ブチルフタリルグリコール酸ブチル等の可塑剤や、デラミ防止、焼結抑制等の目的で、誘電体、絶縁体等の各種セラミック粉体等を添加することもできる。

【0126】また、有機金属レジネートを添加することも有効である。

【0127】外部電極51、55用のペーストは、上記の導体材料粉末を含有する通常のペーストを用いればよい。

【0128】このようにして得られた内部電極21、25用ペーストと、誘電体3用ペーストは、印刷法、転写法、グリーンシート法等により、それぞれ交互に積層される。

【0129】次に、所定の積層体サイズに切断した後、脱バインダ処理および焼成を行う。そして、誘電体層3を再酸化させるため、熱処理を行う。

【0130】脱バインダ処理は、通常の条件で行えばよいが、特に下記の条件で行うことが好ましい。

【0131】昇温速度：10~300 $^{\circ}\text{C}/\text{時間}$ 、特に50~100 $^{\circ}\text{C}/\text{時間}$

保持温度：600~1200 $^{\circ}\text{C}$ 、特に700~900 $^{\circ}\text{C}$

保持時間：0.5~5時間、特に1~3時間

酸素分圧：10 $^{-4}$ ~10 $^{-5}$ atm、特に10 $^{-5}$ ~10 $^{-6}$ atm

雰囲気用ガスには、加湿したN₂ガス等を用いることが好適である。

【0132】焼成は酸素分圧10 $^{-7}$ atm以下、より好ましくは、10 $^{-7}$ ~10 $^{-12}$ atmにて行うことが好ましい。

【0133】前記範囲をこえると、内部電極21、25が酸化する傾向にあり、またあまり小さすぎると電極材料が異常焼結を起こし、途切れてしまう傾向にある。

【0134】そして、そのほかの焼成条件は下記の条件が好ましい。

昇温速度：50~500 $^{\circ}\text{C}/\text{時間}$ 、特に200~300 $^{\circ}\text{C}/\text{時間}$

保持温度：1250~1400 $^{\circ}\text{C}$ 、特に1300~1380 $^{\circ}\text{C}$

保持時間：0.5~8時間、特に1~3時間

冷却速度：50~500 $^{\circ}\text{C}/\text{時間}$ 、特に200~300 $^{\circ}\text{C}/\text{時間}$

【0135】雰囲気用ガスには、中性または還元性雰囲気、特に加湿したN₂とH₂の混合ガス等を用いることが好適である。

【0136】熱処理は、保持温度ないし最高温度を900~1200 $^{\circ}\text{C}$ 、より好ましくは、900~1100 $^{\circ}\text{C}$ 、特に好ましくは1000~1100 $^{\circ}\text{C}$ として行うことが好ましい。

【0137】前記範囲未満では誘電体材料の酸化が不十分なために寿命が短くなる傾向にあり、前記範囲をこえると内部電極のNiが酸化し、容量が低下するだけでなく、誘電体素地と反応してしまい、寿命も短くなる傾向にある。

【0138】熱処理の際の酸素分圧は、10 $^{-4}$ ~10 $^{-5}$ atm、より好ましくは10 $^{-4}$ ~10 $^{-7}$ atmが好ましい。

【0139】前記範囲未満では、誘電体層3や酸化物層4の再酸化が困難であり、前記範囲をこえると内部電極21、25が酸化する傾向にある。

【0140】そして、そのほかの熱処理条件は下記の条件が好ましい。

保持時間：0~6時間、特に2~5時間

冷却速度：50~500 $^{\circ}\text{C}/\text{時間}$ 、特に100~300 $^{\circ}\text{C}/\text{時間}$

【0141】雰囲気用ガスには、中性ないし弱還元性雰囲気、特に加湿したN₂ガス等を用いることが好適である。

【0142】なお、N₂ガスや混合ガス等を加湿するには、例えばウェッター等を使用すればよい。この場合、水温は5~75 $^{\circ}\text{C}$ 程度が好ましい。

【0143】また、脱バインダ処理、焼成および熱処理は、それぞれを連続して行っても、独立に行ってもよい。

【0144】なお、独立に行う場合は、焼成に際しては、脱バインダ処理の保持温度までは、N₂ガス雰囲気下で昇温し、また、熱処理の保持温度ないし最高温度ま

で冷却した後は、N₂ ガス雰囲気下で冷却する。

【0145】また、熱処理を行う際は、保持温度ないし最高温度までは、N₂ ガス雰囲気下で昇温する。

【0146】このようにして得られた焼結体には、例えばバレル研磨、サンドブラスト等にて端面研磨を施し、外部電極用ペーストを焼きつけて外部電極51、55を形成する。

【0147】そして、必要に応じ、外部電極51、55上のめっき等によりパッド層を形成する。

【0148】

【実施例】以下、本発明の具体的実施例を挙げ、本発明をさらに詳細に説明する。

実施例1

出発原料

BaCO₃ : 65.28重量%

TiO₂ : 23.72重量%

ZrO₂ : 7.49重量%

CaCO₃ : 2.88重量%

SiO₂ : 0.18重量%

MnCO₃ : 0.20重量%

上記の出発原料をアルミナ製ボールミルで16時間湿式混合した。

【0149】次いで、スプレードライヤーで乾燥させた後、空气中にて、1200℃の温度で、3時間仮焼し、下記式で表わされる組成の誘電体酸化物と、SiO₂と、MnOとを得た。

$[(Ba_{0.92}Ca_{0.08})O]_{1.004} \cdot (Ti_{0.83}Zr_{0.17})O_2 : 99.52$ 重量%

SiO₂ : 0.18重量%

MnO : 0.3重量%

【0150】そして、P₂O₅を0.1重量%添加し、ボールミルで16時間湿式粉碎し、平均粒子径1.4μmのチタン酸バリウム系の誘電体材料を得た。

【0151】この誘電体材料を用いて、下記に示される配合比にて、3本ロールにより混練し、スラリー化して誘電体層用ペーストとした。

誘電体材料 : 100重量部

テルピネオール : 28重量部

トルエン : 14重量部

分散剤 : 0.2重量部

ラッカー : 36.5重量部

【0152】次に下記に示される配合比にて、3本ロールにより混練し、スラリー化して内部電極用ペーストとした。

Ni : 44.6重量%

テルピネオール : 52重量%

エチルセルロース : 3重量%

ベンゾトリアゾール : 0.4重量%

【0153】これらのペーストを用い、以下のようにして図1に示される積層型セラミックチップコンデンサ1

を製造した。

【0154】まず、誘電体層用ペーストと、内部電極用ペーストを用いて、印刷法により交互に積層した。なお誘電体層3の積層数は20層である。

【0155】次いで所定サイズに切断した後、脱バインダ処理、焼成および熱処理を連続して下記の条件にて行った。

【0156】脱バインダ処理

昇温速度 : 50℃/時間

10 保持温度 : 800℃

保持時間 : 2時間

雰囲気用ガス : 加湿したN₂ ガス

酸素分圧 : 10⁻⁶ atm

【0157】焼成

昇温速度 : 200℃/時間

保持温度 : 1340℃

保持時間 : 2時間

冷却速度 : 300℃/時間

雰囲気用ガス : 加湿したN₂ とH₂ の混合ガス

20 酸素分圧 : 10⁻⁶ atm

【0158】熱処理

保持温度 : 1000℃

保持時間 : 2時間

冷却速度 : 300℃/時間

雰囲気用ガス : 加湿したN₂ ガス

酸素分圧 : 10⁻⁶ atm

【0159】なお、それぞれの雰囲気用ガスの加湿には、ウェッターを用い、水温5〜75℃にて行った。

【0160】得られた焼結体の端面をサンドブラストにて研磨した後、In-Ga合金を塗布して、試験用電極を形成した。

【0161】このようにして製造した積層型セラミックチップコンデンサ1のサイズは、3.2mm×1.6mm×1.2mmであり、誘電体層3の厚みは16μm、内部電極21、25の厚みは2.5μmである。

【0162】また、誘電体層3のグレインの平均粒子径は、3.0μmである。

【0163】そして、誘電体層3の断面の走査型電子顕微鏡写真を撮り、粒界相の面積比を測定したところ1.8%であり、内部電極21、25の周囲には酸化物層は形成されていなかった。

【0164】また、走査型透過電子顕微鏡(STEM)を用いて、粒界相の組成分析を行ったところ下記のとおりであった。

Si酸化物(SiO₂ 換算) : 30.7重量%

Al酸化物(Al₂O₃ 換算) : 25.4重量%

Mn酸化物(MnO 換算) : 0.3重量%

Fe酸化物(Fe₂O₃ 換算) : 1.3重量%

Ni酸化物(NiO 換算) : 0.8重量%

P酸化物(P₂O₅ 換算) : 0.3重量%

Ba 酸化物(BaO 換算) : 30.1 重量%
 Ti 酸化物(TiO₂ 換算) : 11.1 重量%
 Ca 酸化物(CaO 換算) : 0.1 重量%
 Zr 酸化物(ZrO₂ 換算) : 0.1 重量%

【0165】また、STEMを用いて、誘電体層3のグレインの組成分析を行ったところ下記のとおりであった。

$[(Ba_{0.92} Ca_{0.08})O]_{1.004} \cdot (Ti_{0.83} Zr_{0.17})O_2 : 99.914$ 重量%

SiO₂ : 0.006 重量%

MnO : 0.08 重量%

【0166】次にこのコンデンサに対し、温度200℃、電圧DC200Vにて、加速寿命試験を行ったところ寿命は0.8時間であった。

【0167】実施例2

下記の焼成、熱処理条件にて、実施例1と同様に、積層型セラミックチップコンデンサを製造した。

添加物

P₂O₅ : 0.1 重量%

【0168】焼成

昇温速度 : 200℃/時間

保持温度 : 1340℃

保持時間 : 2時間

冷却速度 : 200℃/時間

雰囲気用ガス : 加湿したN₂とH₂の混合ガス

酸素分圧 : 10⁻⁴ atm

【0169】熱処理

保持温度 : 1000℃

保持時間 : 2時間

冷却速度 : 300℃/時間

雰囲気用ガス : 加湿したN₂ガス

酸素分圧 : 10⁻⁴ atm

【0170】この場合、誘電体層3の厚みは16μm、グレインの平均粒子径は3.0μm、粒界相の面積比は1.1%であり、内部電極21、25の厚みは2.5μmであり、内部電極の周囲には酸化物層は形成されていなかった。

【0171】また、誘電体層3の粒界相と、グレインの組成は下記のとおりであった。

【0172】粒界相

Si 酸化物(SiO₂ 換算) : 31.6 重量%

Al 酸化物(Al₂O₃ 換算) : 27.1 重量%

Mn 酸化物(MnO 換算) : 0.2 重量%

Fe 酸化物(Fe₂O₃ 換算) : 0.9 重量%

Ni 酸化物(NiO 換算) : 0.9 重量%

P 酸化物(P₂O₅ 換算) : 0.1 重量%

Ba 酸化物(BaO 換算) : 28.8 重量%

Ti 酸化物(TiO₂ 換算) : 10.3 重量%

Zr 酸化物(ZrO₂ 換算) : 0.1 重量%

【0173】グレイン

$[(Ba_{0.92} Ca_{0.08})O]_{1.004} \cdot (Ti_{0.83} Zr_{0.17})O_2 : 99.914$ 重量%

SiO₂ : 0.006 重量%

MnO : 0.08 重量%

そして、加速寿命試験を行ったところ寿命は、1.2時間であった。

【0174】実施例3

下記の焼成、熱処理条件にて、実施例1と同様に、図2に示されるように酸化物層4を有する積層型セラミックチップコンデンサを製造した。

添加物

P₂O₅ : 0.15 重量%

【0175】焼成

昇温速度 : 200℃/時間

保持温度 : 1340℃

保持時間 : 2時間

冷却速度 : 300℃/時間

雰囲気用ガス : 加湿したN₂とH₂の混合ガス

酸素分圧 : 10⁻⁴ atm

20 【0176】熱処理

保持温度 : 1100℃

保持時間 : 3時間

冷却速度 : 300℃/時間

雰囲気用ガス : 加湿したN₂ガス

酸素分圧 : 10⁻⁵ atm

【0177】この場合、誘電体層3の厚みは16μm、グレインの平均粒子径は3.4μm、粒界相の面積比は1.6%であった。そして、内部電極21、25の厚みは2.4μmであり、酸化物層4は2層で、上層酸化物層45の厚みは0.05μm、下層酸化物層41の厚みは0.07μmであった。

【0178】また、誘電体層3の粒界相と、グレインの組成は下記のとおりであった。

【0179】粒界相

Si 酸化物(SiO₂ 換算) : 32.4 重量%

Al 酸化物(Al₂O₃ 換算) : 26.3 重量%

Mn 酸化物(MnO 換算) : 0.2 重量%

Fe 酸化物(Fe₂O₃ 換算) : 0.7 重量%

Ni 酸化物(NiO 換算) : 0.7 重量%

40 P 酸化物(P₂O₅ 換算) : 0.1 重量%

Ba 酸化物(BaO 換算) : 28.7 重量%

Ti 酸化物(TiO₂ 換算) : 10.8 重量%

Zr 酸化物(ZrO₂ 換算) : 0.1 重量%

【0180】グレイン

$[(Ba_{0.92} Ca_{0.08})O]_{1.004} \cdot (Ti_{0.83} Zr_{0.17})O_2 : 99.914$ 重量%

SiO₂ : 0.006 重量%

MnO : 0.08 重量%

50 【0181】また、STEMにより酸化物層4の層組成を分析したところ下記のとおりであった。

【0182】下層酸化物層4.1

Si 酸化物(SiO_2 換算) : 0.3 重量%
 Al 酸化物(Al_2O_3 換算) : 0.2 重量%
 Mn 酸化物(MnO 換算) : 0.8 重量%
 Fe 酸化物(Fe_2O_3 換算) : 2.1 重量%
 Ni 酸化物(NiO 換算) : 1.8 重量%
 P 酸化物(P_2O_5 換算) : 23.2 重量%
 Ba 酸化物(BaO 換算) : 68.6 重量%
 Ti 酸化物(TiO_2 換算) : 2.8 重量%
 Ca 酸化物(CaO 換算) : 0.1 重量%
 Zr 酸化物(ZrO_2 換算) : 0.1 重量%

【0183】上層酸化物層4.5

Si 酸化物(SiO_2 換算) : 1.7 重量%
 Al 酸化物(Al_2O_3 換算) : 0.3 重量%
 Mn 酸化物(MnO 換算) : 31.6 重量%
 Fe 酸化物(Fe_2O_3 換算) : 8.7 重量%
 Ni 酸化物(NiO 換算) : 7.9 重量%
 P 酸化物(P_2O_5 換算) : 2.1 重量%
 Ba 酸化物(BaO 換算) : 3.8 重量%
 Ti 酸化物(TiO_2 換算) : 40.0 重量%
 Ca 酸化物(CaO 換算) : 0.1 重量%
 Zr 酸化物(ZrO_2 換算) : 3.8 重量%

そして、加速寿命試験を行ったところ寿命は、1.6 時間であった

【0184】実施例4

下記の焼成、熱処理条件にて、実施例1と同様に、図2に示されるように酸化物層4を有する積層型セラミックチップコンデンサを製造した。

添加物

P_2O_5 : 0.1 重量%

【0185】焼成

昇温速度 : 200°C/時間

保持温度 : 1340°C

保持時間 : 2時間

冷却速度 : 200°C/時間

雰囲気用ガス : 加湿した N_2 と H_2 の混合ガス

酸素分圧 : 10^{-9} atm

【0186】熱処理

保持温度 : 1000°C

保持時間 : 2時間

冷却速度 : 300°C/時間

雰囲気用ガス : 加湿した N_2 ガス

酸素分圧 : 10^{-9} atm

【0187】この場合、誘電体層3の厚みは16 μm 、グレインの平均粒子径は3.2 μm 、粒界相の面積比は0.9%であった。そして、内部電極21、25の厚みは2.5 μm であり、酸化物層4は1層で、厚みは0.09 μm であった。

【0188】また、誘電体層3の粒界相と、グレインの組成は下記のとおりであった。

【0189】粒界相

Si 酸化物(SiO_2 換算) : 28.4 重量%
 Al 酸化物(Al_2O_3 換算) : 23.1 重量%
 Mn 酸化物(MnO 換算) : 1.2 重量%
 Fe 酸化物(Fe_2O_3 換算) : 0.6 重量%
 Ni 酸化物(NiO 換算) : 0.6 重量%
 P 酸化物(P_2O_5 換算) : 0.4 重量%
 Ba 酸化物(BaO 換算) : 31.6 重量%
 Ti 酸化物(TiO_2 換算) : 12.5 重量%
 Ca 酸化物(CaO 換算) : 0.6 重量%
 Zr 酸化物(ZrO_2 換算) : 1.0 重量%

【0190】グレイン

$[(\text{Ba}_{0.92}\text{Ca}_{0.08})\text{O}]_{1.004} \cdot (\text{Ti}_{0.83}\text{Zr}_{0.17})\text{O}_2$: 99.914 重量%

Si O_2 : 0.006 重量%

MnO : 0.08 重量%

【0191】また、酸化物層4の層組成は下記のとおりであった。

Si 酸化物(SiO_2 換算) : 0.1 重量%
 Al 酸化物(Al_2O_3 換算) : 0.2 重量%
 Mn 酸化物(MnO 換算) : 1.1 重量%
 Fe 酸化物(Fe_2O_3 換算) : 0.3 重量%
 Ni 酸化物(NiO 換算) : 0.2 重量%
 P 酸化物(P_2O_5 換算) : 19.3 重量%
 Ba 酸化物(BaO 換算) : 75.3 重量%
 Ti 酸化物(TiO_2 換算) : 3.1 重量%
 Ca 酸化物(CaO 換算) : 0.3 重量%
 Zr 酸化物(ZrO_2 換算) : 0.1 重量%

そして、加速寿命試験を行ったところ寿命は、1.7 時間であった。

【0192】実施例5

下記の焼成、熱処理条件にて、実施例1と同様に、図2に示されるように酸化物層4を有する積層型セラミックチップコンデンサを製造した。

添加物

P_2O_5 : 0.2 重量%

【0193】焼成

昇温速度 : 200°C/時間

保持温度 : 1340°C

保持時間 : 2時間

冷却速度 : 200°C/時間

雰囲気用ガス : 加湿した N_2 と H_2 の混合ガス

酸素分圧 : 10^{-12} atm

【0194】熱処理

保持温度 : 1100°C

保持時間 : 3時間

冷却速度 : 300°C/時間

雰囲気用ガス : 加湿した N_2 ガス

酸素分圧 : 10^{-9} atm

50 【0195】この場合、誘電体層3の厚みは16 μm 、

グレインの平均粒子径は $3.5\mu\text{m}$ 、粒界相の面積比は 0.7% であった。そして、内部電極21、25の厚みは $2.5\mu\text{m}$ であり、酸化物層4は2層で、上層酸化物層45の厚みは $0.06\mu\text{m}$ 、下層酸化物層41の厚みは $0.09\mu\text{m}$ であった。

【0196】また、誘電体層3の粒界相と、グレインの組成は下記のとおりであった。

【0197】粒界相

Si 酸化物(SiO_2 換算) : 32.5 重量%
 Al 酸化物(Al_2O_3 換算) : 26.7 重量%
 Mn 酸化物(MnO 換算) : 0.4 重量%
 Fe 酸化物(Fe_2O_3 換算) : 1.0 重量%
 Ni 酸化物(NiO 換算) : 1.0 重量%
 Ba 酸化物(BaO 換算) : 27.0 重量%
 Ti 酸化物(TiO_2 換算) : 11.4 重量%

【0198】グレイン

$[(\text{Ba}_{0.92}\text{Ca}_{0.08})\text{O}]_{1.004} \cdot (\text{Ti}_{0.83}\text{Zr}_{0.17})\text{O}_2$: 99.914 重量%

Si O_2 : 0.006 重量%

MnO : 0.08 重量%

また、酸化物層4の層組成は下記のとおりであった。

【0199】下層酸化物層41

Si 酸化物(SiO_2 換算) : 0.2 重量%
 Al 酸化物(Al_2O_3 換算) : 0.1 重量%
 Mn 酸化物(MnO 換算) : 0.6 重量%
 Fe 酸化物(Fe_2O_3 換算) : 2.3 重量%
 Ni 酸化物(NiO 換算) : 2.1 重量%
 P 酸化物(P_2O_5 換算) : 24.1 重量%
 Ba 酸化物(BaO 換算) : 67.0 重量%
 Ti 酸化物(TiO_2 換算) : 3.3 重量%
 Ca 酸化物(CaO 換算) : 0.2 重量%
 Zr 酸化物(ZrO_2 換算) : 0.1 重量%

【0200】上層酸化物層45

Si 酸化物(SiO_2 換算) : 1.1 重量%
 Al 酸化物(Al_2O_3 換算) : 0.2 重量%
 Mn 酸化物(MnO 換算) : 32.8 重量%
 Fe 酸化物(Fe_2O_3 換算) : 9.8 重量%
 Ni 酸化物(NiO 換算) : 7.2 重量%
 P 酸化物(P_2O_5 換算) : 1.9 重量%
 Ba 酸化物(BaO 換算) : 3.4 重量%
 Ti 酸化物(TiO_2 換算) : 39.8 重量%
 Ca 酸化物(CaO 換算) : 0.2 重量%
 Zr 酸化物(ZrO_2 換算) : 3.6 重量%

【0201】なお、下部および上部酸化物層41、45におけるP酸化物と、Mn酸化物の含有濃度を電子線マイクロアナライザー写真にて確認した。それを図3～図5に示す。

【0202】図3は、Niを見たマイクロアナライザー写真であり、白く見える2本のラインがNi内部電極である。

【0203】図4は、Mnを見たマイクロアナライザー写真であり、白く見える4本のライン部分がMnの濃度が高い部分である。

【0204】図5は、Pを見たマイクロアナライザー写真であり、白く見える4本のライン部分がPの濃度が高い部分である。

【0205】なお、各マイクロアナライザー写真は、それぞれ2350倍に拡大したものである。

【0206】そして、加速寿命試験を行ったところ寿命は、3.4時間であった。

【0207】実施例6

実施例1において、 P_2O_5 にかえ、 V_2O_5 を 0.1 重量%添加したほかは同様として誘電体層用ペーストを得た。そして、焼成、熱処理条件を下記のとおりとしたほかは実施例1と同様として、積層型セラミックチップコンデンサを製造した。

【0208】焼成

昇温速度 : $200^\circ\text{C}/\text{時間}$

保持温度 : 1340°C

保持時間 : 2時間

冷却速度 : $300^\circ\text{C}/\text{時間}$

雰囲気用ガス : 加湿した N_2 と H_2 の混合ガス

酸素分圧 : 10^{-4}atm

【0209】熱処理

保持温度 : 1000°C

保持時間 : 2時間

冷却速度 : $300^\circ\text{C}/\text{時間}$

雰囲気用ガス : 加湿した N_2 ガス

酸素分圧 : 10^{-4}atm

【0210】この場合、誘電体層3の厚みは $16\mu\text{m}$ 、グレインの平均粒子径は $3.3\mu\text{m}$ 、粒界相の面積比は 1.7% であり、内部電極21、25の厚みは $2.5\mu\text{m}$ であり、内部電極の周囲には酸化物層は形成されていなかった。

【0211】また、誘電体層3の粒界相の組成は下記のとおりであった。

【0212】粒界相

Si 酸化物(SiO_2 換算) : 30.2 重量%
 Al 酸化物(Al_2O_3 換算) : 25.6 重量%
 Mn 酸化物(MnO 換算) : 0.7 重量%
 Fe 酸化物(Fe_2O_3 換算) : 0.3 重量%
 Ni 酸化物(NiO 換算) : 0.3 重量%
 P 酸化物(P_2O_5 換算) : 0.4 重量%
 Ba 酸化物(BaO 換算) : 29.7 重量%
 Ti 酸化物(TiO_2 換算) : 12.0 重量%
 Ca 酸化物(CaO 換算) : 0.2 重量%
 Zr 酸化物(ZrO_2 換算) : 0.6 重量%

【0213】グレイン

また、誘電体層3のグレインは、 $[(\text{Ba}_{0.92}\text{Ca}_{0.08})\text{O}]_{1.004} \cdot (\text{Ti}_{0.83}\text{Zr}_{0.17})\text{O}_2$ を主成分とし、MnO、Si

O₂ および V₂ O₅ を微量含有していた。そして、加速寿命試験を行ったところ寿命は、1.0 時間であった。

【0214】実施例7

実施例6と同様の誘電体層用ペーストを用い、下記の焼成、熱処理条件にて、実施例1と同様に積層型セラミックチップコンデンサを製造した。

添加物

V₂ O₅ : 0.1 重量%

【0215】焼成

昇温速度: 200℃/時間

保持温度: 1340℃

保持時間: 2時間

冷却速度: 200℃/時間

雰囲気用ガス: 加湿した N₂ と H₂ の混合ガス

酸素分圧: 10^{-4} atm

【0216】熱処理

保持温度: 1000℃

保持時間: 2時間

冷却速度: 300℃/時間

雰囲気用ガス: 加湿した N₂ ガス

酸素分圧: 10^{-4} atm

【0217】この場合、誘電体層3の厚みは16 μm、グレインの平均粒子径は3.1 μm、粒界相の面積比は0.9%であり、内部電極21、25の厚みは2.5 μmであり、内部電極の周囲には酸化物層は形成されていなかった。

【0218】また、誘電体層3の粒界相の組成は下記のとおりであった。

【0219】粒界相

Si 酸化物(SiO₂ 換算) : 31.8 重量%

Al 酸化物(Al₂O₃ 換算) : 27.3 重量%

Mn 酸化物(MnO 換算) : 0.3 重量%

Fe 酸化物(Fe₂O₃ 換算) : 0.3 重量%

Ni 酸化物(NiO 換算) : 0.2 重量%

Ba 酸化物(BaO 換算) : 28.5 重量%

Ti 酸化物(TiO₂ 換算) : 11.5 重量%

Ca 酸化物(CaO 換算) : 0.1 重量%

【0220】グレイン

また、誘電体層3のグレインは、[(Ba_{0.92} Ca_{0.08})O]_{1.004} · (Ti_{0.83} Zr_{0.17})O₂ を主成分とし、MnO、SiO₂ および V₂ O₅ を微量含有していた。そして、加速寿命試験を行ったところ寿命は、1.4 時間であった。

【0221】実施例8

実施例6と同様の誘電体層用ペーストを用い、下記の焼成、熱処理条件にて、実施例1と同様に、図2に示されるように酸化物層4を有する積層型セラミックチップコンデンサを製造した。

添加物

V₂ O₅ : 0.1 重量%

【0222】焼成

昇温速度: 200℃/時間

保持温度: 1340℃

保持時間: 2時間

冷却速度: 300℃/時間

雰囲気用ガス: 加湿した N₂ と H₂ の混合ガス

酸素分圧: 10^{-10} atm

【0223】熱処理

保持温度: 1100℃

保持時間: 2時間

10 冷却速度: 300℃/時間

雰囲気用ガス: 加湿した N₂ ガス

酸素分圧: 10^{-4} atm

【0224】この場合、誘電体層3の厚みは16 μm、グレインの平均粒子径は3.6 μm、粒界相の面積比は1.6%であった。そして、内部電極21、25の厚みは2.5 μmであり、酸化物層4は1層で、厚みは2.5 μmであった。

【0225】また、誘電体層3の粒界相の組成は下記のとおりであった。

20 【0226】粒界相

Si 酸化物(SiO₂ 換算) : 32.5 重量%

Al 酸化物(Al₂O₃ 換算) : 27.9 重量%

Mn 酸化物(MnO 換算) : 0.6 重量%

Fe 酸化物(Fe₂O₃ 換算) : 0.2 重量%

Ni 酸化物(NiO 換算) : 0.2 重量%

Ba 酸化物(BaO 換算) : 27.6 重量%

Ti 酸化物(TiO₂ 換算) : 11.0 重量%

【0227】グレイン

また、誘電体層3のグレインは、[(Ba_{0.92} Ca_{0.08})O]_{1.004} · (Ti_{0.83} Zr_{0.17})O₂ を主成分とし、MnO、SiO₂ および V₂ O₅ を微量含有していた。

【0228】また、酸化物層4の層組成は下記のとおりであった。

【0228】また、酸化物層4の層組成は下記のとおりであった。

Si 酸化物(SiO₂ 換算) : 1.1 重量%

Al 酸化物(Al₂O₃ 換算) : 0.4 重量%

Mn 酸化物(MnO 換算) : 32.4 重量%

Fe 酸化物(Fe₂O₃ 換算) : 10.7 重量%

Ni 酸化物(NiO 換算) : 8.3 重量%

P 酸化物(P₂O₅ 換算) : 2.1 重量%

Ba 酸化物(BaO 換算) : 3.9 重量%

Ti 酸化物(TiO₂ 換算) : 40.1 重量%

Ca 酸化物(CaO 換算) : 0.8 重量%

Zr 酸化物(ZrO₂ 換算) : 0.2 重量%

そして、加速寿命試験を行ったところ寿命は、2.1 時間であった。

【0229】実施例9

実施例6と同様の誘電体層用ペーストを用い、下記の焼成、熱処理条件にて、実施例1と同様に、図2に示されるように酸化物層4を有する積層型セラミックチップコンデンサを製造した。

添加物

V_2O_5 : 0.1 重量%

【0230】焼成

昇温速度: 200°C/時間

保持温度: 1340°C

保持時間: 2 時間

冷却速度: 200°C/時間

雰囲気用ガス: 加湿した N_2 と H_2 の混合ガス

酸素分圧: 10^{-10} atm

【0231】熱処理

保持温度: 1100°C

保持時間: 2 時間

冷却速度: 300°C/時間

雰囲気用ガス: 加湿した N_2 ガス

酸素分圧: 10^{-4} atm

【0232】この場合、誘電体層3の厚みは $16\mu m$ 、グレインの平均粒子径は $3.6\mu m$ 、粒界相の面積比は 0.6% であった。そして、内部電極21、25の厚みは $2.5\mu m$ であり、酸化物層4は1層で、厚みは $0.11\mu m$ であった。また、誘電体層3の粒界相の組成は下記のとおりであった。

【0233】粒界相

Si 酸化物(SiO_2 換算) : 31.2 重量%

Al 酸化物(Al_2O_3 換算) : 23.0 重量%

Mn 酸化物(MnO 換算) : 0.5 重量%

Fe 酸化物(Fe_2O_3 換算) : 0.1 重量%

Ba 酸化物(BaO 換算) : 32.3 重量%

Ti 酸化物(TiO_2 換算) : 12.9 重量%

【0234】グレイン

また、誘電体層3のグレインは、 $[(Ba_{0.92}Ca_{0.08})O]_{1.004} \cdot (Ti_{0.83}Zr_{0.17})O_2$ を主成分とし、 MnO 、 SiO_2 および V_2O_5 を微量含有していた。

【0235】また、酸化物層4の層組成は下記のとおりであった。

Si 酸化物(SiO_2 換算) : 0.9 重量%

Al 酸化物(Al_2O_3 換算) : 0.2 重量%

Mn 酸化物(MnO 換算) : 38.3 重量%

Fe 酸化物(Fe_2O_3 換算) : 11.3 重量%

Ni 酸化物(NiO 換算) : 9.8 重量%

P 酸化物(P_2O_5 換算) : 2.2 重量%

Ba 酸化物(BaO 換算) : 7.6 重量%

Ti 酸化物(TiO_2 換算) : 29.2 重量%

Ca 酸化物(CaO 換算) : 0.3 重量%

Zr 酸化物(ZrO_2 換算) : 0.2 重量%

そして、加速寿命試験を行ったところ寿命は、4.1 時間であった。

【0236】比較例1

P_2O_5 を添加しないで、そのほかは実施例1と同様に誘電体層用ペーストを得た。そして、焼成、熱処理条件を下記のとおりとしたほかは実施例1と同様として、積

層型セラミックチップコンデンサを製造した。

【0237】添加物

なし

焼成

昇温速度: 200°C/時間

保持温度: 1340°C

保持時間: 2 時間

冷却速度: 300°C/時間

雰囲気用ガス: 加湿した N_2 と H_2 の混合ガス

10 酸素分圧: 10^{-4} atm

【0238】熱処理

保持温度: 1000°C

保持時間: 2 時間

冷却速度: 300°C/時間

雰囲気用ガス: 加湿した N_2 ガス

酸素分圧: 10^{-4} atm

【0239】この場合、誘電体層3の厚みは $16\mu m$ 、グレインの平均粒子径は $3.0\mu m$ 、粒界相の面積比は 2.6% であり、内部電極21、25の厚みは $2.5\mu m$ であり、内部電極の周囲には酸化物層は形成されていなかった。また、誘電体層3の粒界相と、グレインの組成は下記のとおりであった。

【0240】粒界相

Si 酸化物(SiO_2 換算) : 29.3 重量%

Al 酸化物(Al_2O_3 換算) : 24.2 重量%

Mn 酸化物(MnO 換算) : 0.6 重量%

Fe 酸化物(Fe_2O_3 換算) : 0.3 重量%

Ni 酸化物(NiO 換算) : 0.2 重量%

P 酸化物(P_2O_5 換算) : 0.2 重量%

30 Ba 酸化物(BaO 換算) : 33.2 重量%

Ti 酸化物(TiO_2 換算) : 11.8 重量%

Ca 酸化物(CaO 換算) : 0.1 重量%

Zr 酸化物(ZrO_2 換算) : 0.1 重量%

【0241】グレイン

$[(Ba_{0.92}Ca_{0.08})O]_{1.004} \cdot (Ti_{0.83}Zr_{0.17})O_2$: 99.914 重量%

SiO_2 : 0.006 重量%

MnO : 0.08 重量%

そして、加速寿命試験を行ったところ寿命は、0.34 時間であった。これらの結果より本発明の効果が明らかである。

【0242】また、実施例1において、 P_2O_5 にかえ、下記に示される(1)~(10)の化合物を単独添加したほかは同様として各種誘電体層用ペーストを得た。

(1) $LiCO_3$ (Li_2O 換算) : 0.1 重量%

(2) Y_2O_3 (Y_2O_3 換算) : 0.1 重量%

(3) Gd_2O_3 (Gd_2O_3 換算) : 0.1 重量%

(4) Tb_4O_7 (Tb_2O_3 換算) : 0.1 重量%

(5) Dy_2O_3 (Dy_2O_3 換算) : 0.1 重量%

40 (6) ZrO_2 (ZrO_2 換算) : 0.1 重量%

- (7) MoO_3 (MoO_3 換算) : 0.1 重量%
 (8) CdO (CdO 換算) : 0.1 重量%
 (9) Ti_2O_3 (Ti_2O_3 換算) : 0.1 重量%
 (10) SnO_2 (SnO_2 換算) : 0.1 重量%

【0243】そして、各種誘電体層用ペーストを用いて積層型セラミックチップコンデンサを製造したところ実施例1～9と同等の結果が得られた。なお、2種以上の化合物を添加した場合も、上記とほぼ同等の結果が得られた。

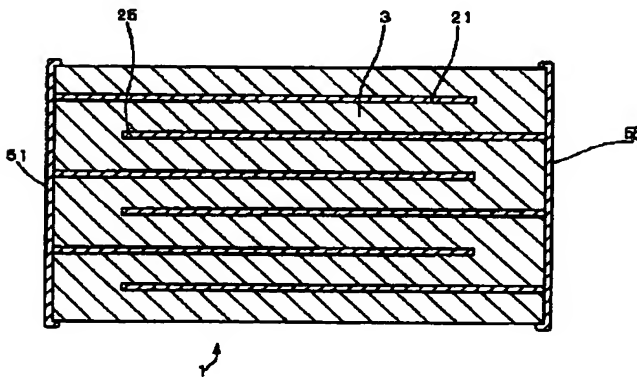
【0244】

【発明の効果】本発明の積層型セラミックチップコンデンサは、寿命が長い。このため、優れた信頼性が得られる。そして、内部電極21、25の周囲に誘電体層3とは異なる組成の酸化物層4を有する場合や、誘電体層中の粒界相が少ない場合は、本発明の効果が一層向上する。

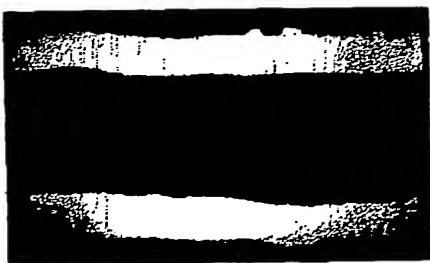
【0245】さらには、酸化物層4を有し、しかも粒界相が少ない場合は、より一層寿命が増大する。この場合、特に酸化物層4に、Mn酸化物、P酸化物およびFe酸化物から選ばれる1種以上を含むもの、さらには、酸化物層4が、Mn酸化物を含む層と、P酸化物を含む層の2層構造であるものは、特に寿命が長く、一層優れた信頼性が得られる。

*

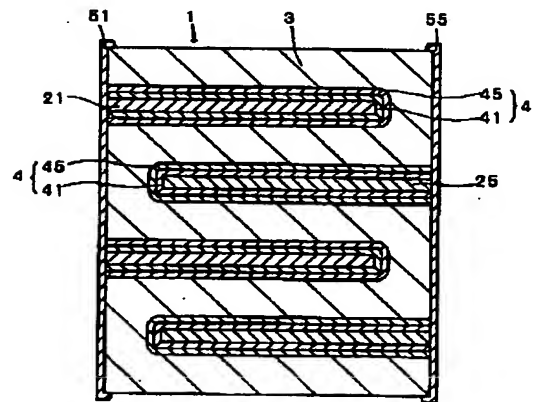
【図1】



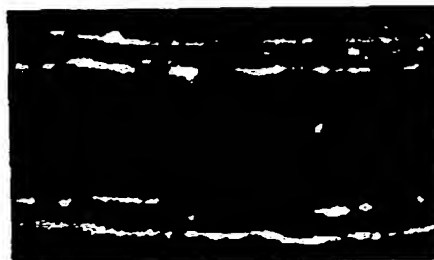
【図3】



【図2】



【図4】



* 【図面の簡単な説明】

【図1】本発明の積層型セラミックチップコンデンサの1例が示される断面図である。

【図2】本発明の積層型セラミックチップコンデンサの1例が示される断面図である。

【図3】粒子構造を示す図面代用写真であって、本発明の積層型セラミックチップコンデンサ中のNi濃度分布が示される電子線マイクロアナライザー写真である。

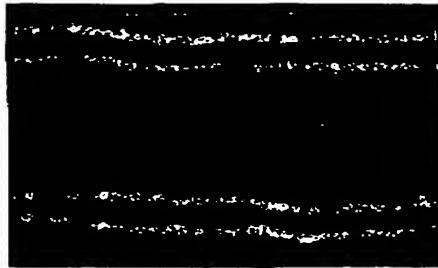
【図4】粒子構造を示す図面代用写真であって、本発明の積層型セラミックチップコンデンサ中のMn濃度分布が示される電子線マイクロアナライザー写真である。

【図5】粒子構造を示す図面代用写真であって、本発明の積層型セラミックチップコンデンサ中のP濃度の分布が示される電子線マイクロアナライザー写真である。

【符号の説明】

- 1 積層型セラミックチップコンデンサ
- 21、25 内部電極
- 3 誘電体層
- 4 酸化物層
- 41 下層酸化物層
- 45 上層酸化物層
- 51、55 外部電極

【図5】



フロントページの続き

(72)発明者 住田 成和
東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内
(72)発明者 西山 貢右
東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

(72)発明者 中野 幸恵
東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内
(72)発明者 池田 雅昭
東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the laminating mold ceramic chip capacitor which constitutes nickel or the internal electrode ingredient of a nickel alloy, and dielectric materials in the shape of a layer, calcinates this in neutrality or a reducing atmosphere, and is heat-treated in neutrality thru/or a weak reducing atmosphere after that.

[Claim 2] The manufacture approach of the laminating mold ceramic chip capacitor of claim 1 that the neutrality of said heat treatment thru/or a weak reducing atmosphere are the humidified nitrogen gas.

[Claim 3] The manufacture approach of the laminating mold ceramic chip capacitor of claims 1 or 2 that said heat treatment is performed under the 900 degrees C - 1200 degrees C temperature conditions of the range.

[Claim 4] Said conductor ingredient is the manufacture approach of one laminating mold ceramic chip capacitor of claims 1-3 which contain the dielectric oxide of the presentation expressed with the following formula, and contain one or more sorts chosen from the compound which turns into an oxide by the oxide of Y, Gd, Tb, Dy, Zr, V, Mo, Cd, Ti, Sn, and P, and/or baking 0.005 to 0.5% of the weight by oxide conversion.

Formula It is $0.05 \leq x \leq 0.25$, $0 \leq y \leq 0.05$, $0.05 \leq z \leq 0.20$, and $1.002 \leq m \leq 1.020$ among the $[(Ba_{1-x-y}Ca_xSr_y)O]m-(Ti_{1-z}Zr_z)O_2$ {above-mentioned type. }

[Claim 5] The manufacture approach of one laminating mold ceramic chip capacitor of claims 1-4 that said dielectric materials contain further the compound which turns into Li oxide by Li oxide and/or baking.

[Claim 6] the oxygen tension at the time of said baking -- 10^{-7} atm the following -- it is -- the oxygen tension of said heat treatment -- 10^{-4} - 10^{-8} atm it is -- the manufacture approach of one laminating mold ceramic chip capacitor of claims 1-5.

[Claim 7] Said dielectric materials are the manufacture approaches of one laminating mold ceramic chip capacitor of claims 1-3 which contain the dielectric oxide of the presentation expressed with the following type, and contain the compound which turns into Li oxide by Li oxide and/or baking 0.005 to 0.5% of the weight by oxide conversion.

Formula It is $0.05 \leq x \leq 0.25$, $0 \leq y \leq 0.05$, $0.05 \leq z \leq 0.20$, and $1.002 \leq m \leq 1.020$ among the $[(Ba_{1-x-y}Ca_xSr_y)O]m-(Ti_{1-z}Zr_z)O_2$ {above-mentioned type. }

[Claim 8] The manufacture approach of the laminating mold ceramic chip capacitor of claim 7 that said dielectric materials contain silicon oxide and/or manganese oxide further.

[Claim 9] The manufacture approach of the laminating mold ceramic chip capacitor of claim 8 that the content of said silicon oxide is 0.05 - 0.25 % of the weight, and the content of said manganese oxide is 0.01 - 0.50 % of the weight.

[Claim 10] The manufacture approach of one laminating mold ceramic chip capacitor of claims 1-9 which form the oxide layer of a different presentation from said dielectric layer in the perimeter of said internal electrode.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to amelioration of a laminating mold ceramic chip capacitor, especially a dielectric layer.

[0002]

[Description of the Prior Art] A laminating mold ceramic chip capacitor carries out the laminating of the paste for internal electrodes, and the paste for dielectric layers by the green sheet method, print processes, etc., really carries out coincidence baking, and is usually manufactured.

[0003] And although Pd and Pd alloy are generally used for the internal electrode, since Pd is expensive, comparatively cheap nickel and nickel alloy are being used.

[0004] By the way, when forming an internal electrode with nickel or nickel alloy, if it calcinates in atmospheric air, an electrode will oxidize.

[0005] For this reason, after a debinder is calcinated by oxygen tension lower than the balanced oxygen tension of nickel and NiO, and is making the dielectric layer reoxidate by heat treatment generally.

[0006] In this case, in order to attain eburnation of dielectric materials, it is usually SiO₂ as a mineralizer. It is added. furthermore -- in process -- aluminum 2O₃ etc. -- it mixes in many cases.

[0007] these, BaO, and TiO₂ etc. -- if the included so-called grain boundary phase component calcinates in reducing atmosphere, it will be considered to bring about the fall of insulation resistance.

[0008] Moreover, in order to prevent the fall of the insulation resistance by reduction of a dielectric layer etc., addition, calcium permutation, etc. of Mn are performed.

[0009]

[Problem(s) to be Solved by the Invention] However, compared with the laminating mold chip capacitor which has the internal electrode made from Pd calcinated and manufactured in atmospheric air, the laminating mold chip capacitor which has an internal electrode made from nickel or nickel alloy has the overwhelmingly short life of insulation resistance, and has the problem of being unreliable.

[0010] By improving the dielectric layer of the laminating mold chip capacitor which has nickel thru/or an internal electrode made from nickel alloy, the purpose of this invention has a long life and it is to offer the manufacture approach of a reliable laminating mold ceramic chip capacitor.

[0011]

[Means for Solving the Problem] Such a purpose is attained by one configuration of following the (1) - (10).

(1) The manufacture approach of the laminating mold ceramic chip capacitor which constitutes nickel or the internal electrode ingredient of a nickel alloy, and dielectric materials in the shape of a layer, calcinates this in neutrality or a reducing atmosphere, and is heat-treated in neutrality thru/or a weak reducing atmosphere after that.

(2) The manufacture approach of the laminating mold ceramic chip capacitor the above (1) that the neutrality of said heat treatment thru/or a weak reducing atmosphere are the humidified nitrogen gas.

(3) The above (1) to which said heat treatment is performed under the 900 degrees C - 1200 degrees

C temperature conditions of the range, or the manufacture approach of the laminating mold ceramic chip capacitor of (2).

(4) said -- a conductor -- an ingredient -- the following -- a formula -- expressing -- having -- a presentation -- a dielectric -- an oxide -- containing -- Y -- Gd -- Tb -- Dy -- Zr -- V -- Mo -- Cd -- Ti -- Sn -- and -- P -- an oxide -- and/or -- baking -- an oxide -- becoming -- a compound -- from -- choosing -- having -- one -- a sort -- more than -- an oxide -- conversion -- 0.005 - 0.5 -- % of the weight -- containing -- the above -- (-- one --) - (-- three --) -- either -- a laminating -- a mold -- a ceramic -- a chip capacitor -- manufacture -- an approach .

Formula It is $0.05 \leq x \leq 0.25$, $0 \leq y \leq 0.05$, $0.05 \leq z \leq 0.20$, and $1.002 \leq m \leq 1.020$ among the $[(Ba_{1-x-y}Ca_xSr_y)O]_m(Ti_{1-z}Zr_z)O_2$ {above-mentioned type. }

(5) The manufacture approach of one laminating mold ceramic chip capacitor of above-mentioned (1) - (4) that said dielectric materials contain further the compound which turns into Li oxide by Li oxide and/or baking.

(6) the oxygen tension at the time of said baking -- 10⁻⁷atm the following -- it is -- the oxygen tension of said heat treatment -- 10⁻⁴ - 10⁻⁸atm it is -- the manufacture approach of one laminating mold ceramic chip capacitor of above-mentioned (1) - (5).

(7) said -- dielectric materials -- the following -- a formula -- expressing -- having -- a presentation -- a dielectric -- an oxide -- containing -- Li -- an oxide -- and/or -- baking -- Li -- an oxide -- becoming -- a compound -- an oxide -- conversion -- 0.005 - 0.5 -- % of the weight -- containing -- the above -- (-- one --) - (-- three --) -- either -- a laminating -- a mold -- a ceramic -- a chip capacitor -- manufacture -- an approach .

Formula It is $0.05 \leq x \leq 0.25$, $0 \leq y \leq 0.05$, $0.05 \leq z \leq 0.20$, and $1.002 \leq m \leq 1.020$ among the $[(Ba_{1-x-y}Ca_xSr_y)O]_m(Ti_{1-z}Zr_z)O_2$ {above-mentioned type. }

(8) The manufacture approach of the laminating mold ceramic chip capacitor the above (7) that said dielectric materials contain silicon oxide and/or manganese oxide further.

(9) The manufacture approach of the laminating mold ceramic chip capacitor the above (8) that the content of said silicon oxide is 0.05 - 0.25 % of the weight, and the content of said manganese oxide is 0.01 - 0.50 % of the weight.

(10) The manufacture approach of one laminating mold ceramic chip capacitor of above-mentioned (1) - (9) which forms the oxide layer of a different presentation from said dielectric layer in the perimeter of said internal electrode.

[0012]

[Function and Effect] The dielectric materials of the barium titanate system which added the predetermined compound are used for the manufacture approach of the laminating mold ceramic chip capacitor of this invention.

[0013] And after debinder processing, baking and heat treatment are performed on condition that predetermined, and it is manufactured.

[0014] The dependability in which the laminating mold ceramic chip capacitor manufactured by the approach of such this invention increased by about 2 to 10 times, and the life was excellent compared with the conventional additive-free chip capacitor is acquired.

[0015] in addition -- JP,60-20851,B -- $[(Ba_xCa_ySr_z)O]_k(Ti_nZr_{1-n})O_2$ from -- the becoming fundamental component, and Li₂O and SiO₂ the derivative porcelain matter containing the glass to contain -- or -- further -- MnO₂ The laminating mold ceramic chip capacitor which has an internal electrode made from nickel alloy using the added dielectric porcelain matter is indicated.

[0016] However, the oxygen tension conditions at the time of baking or heat treatment etc. differ from the manufacture approach of the laminating mold ceramic chip capacitor of this invention. Moreover, there is no effective additive, and since annealing temperature is low, sufficient oxidation cannot be performed.

[0017] For this reason, it is unreliable and it is difficult to obtain the long chip capacitor of a life.

[0018] In addition, as for the effectiveness [life] overwhelmingly of being long, compared with the alternative effectiveness acquired by this invention, i.e., the conventional thing, even suggestion is not carried out to said official report.

[0019]

[Embodiment of the Invention] Hereafter, the concrete configuration of the laminating mold ceramic

chip capacitor manufactured by the approach of this invention is explained to a detail.

[0020] The suitable example of the laminating mold ceramic chip capacitor obtained by this invention approach, respectively is shown in drawing 1 and drawing 2 .

[0021] The laminating of internal electrodes 21 and 25 and the dielectric layer 3 is carried out by turns, and the laminating mold chip capacitor 1 has one pair of external electrodes 51 and 55 linked to each internal electrodes 21 and 25.

[0022] It is desirable that they are nickel which internal electrodes 21 and 25 are formed from nickel or nickel alloy at this invention, and contains nickel 95% of the weight or more as a nickel alloy in this case, and one or more sorts, such as Mn, Cr, Co, and aluminum, of alloys.

[0023] These can acquire a sufficient life and dependability according to this invention.

[0024] In addition, in nickel or nickel alloy, 0.1 or less % of the weight of P etc. may contain as a minor constituent.

[0025] Although terms and conditions, such as thickness of internal electrodes 21 and 25, should just be suitably determined according to the purpose or an application, thickness is usually 1-5 micrometers. It is 2-3 micrometers especially. It is extent.

[0026] The dielectric layer 3 consists of a grain and a grain boundary phase.

[0027] The quality of the material of a dielectric layer 3 contains the dielectric oxide of the presentation expressed with the following type.

Formula $[(Ba_{1-x-y}Ca_xSr_y)O]_m(Ti_{1-z}Zr_z)O_2$ [0028] x [in this case,] -- 0.05 to 0.25 -- desirable -- 0.06 to 0.10, and y -- zero to 0.05 -- desirable -- zero to 0.01, and z -- 0.05 to 0.20 -- desirable -- 0.15 to 0.20, and m -- 1.002-1.020 -- it is 1.002-1.015 preferably.

[0029] And what contains silicon oxide and/or manganese oxide further is desirable.

[0030] In this case, the content of manganese oxide has [the content of silicon oxide] about 0.01 - 0.50 desirable % of the weight about 0.05 to 0.25% of the weight.

[0031] And it is silicon oxide SiO_2 What contains in a form and contains manganese oxide in the form of MnO is suitable.

[0032] Moreover, aluminum oxide, nickel oxide, Mg oxide, Co oxide, Hf oxide, etc. may contain about 0.5 or less % of the weight.

[0033] In this invention, further And Y, Gd, Tb, Dy, Zr, V, Mo, One or more sorts chosen from the oxide of Zn, Cd, Tl, Sn, and P Y_2O_3 which is the most stable oxide, Gd_2O_3 , Tb_2O_3 , and Dy_2O_3 , ZrO_2 , V_2O_5 , and MoO_3 , CdO and Tl_2O_3 SnO_2 And P_2O_5 conversion -- a total of 0.005 - 0.5 % of the weight -- it is contained especially about 0.05 to 0.20% of the weight preferably 0.01 to 0.25% of the weight.

[0034] Furthermore, in addition to said oxide, Li oxide may contain. In this case, it converts by Li_2O and it is desirable that the total quantity is said range.

[0035] moreover, said oxide -- changing -- Li oxide -- Li_2O conversion -- 0.005 - 0.5 % of the weight -- it is contained especially about 0.05 to 0.20% of the weight preferably 0.01 to 0.25% of the weight.

[0036] In addition, P is contained in the form of phosphate and is usually contained in the form of the above-mentioned most stable oxide except P.

[0037] And P is contained in a grain boundary phase in dielectric layer 3 Chuzu, and is mainly contained in a grain except P.

[0038] In addition, effectiveness of this invention is not realized in the oxide of elements other than the above, and the addition outside the above-mentioned range.

[0039] What is necessary is just to determine suitably terms and conditions, such as the number of laminatings of a dielectric layer 3, and thickness, according to the purpose or an application.

[0040] Usually, the numbers of laminatings are 1-100, especially five to about 50, and especially thickness is 10-20 micrometers 5-50 micrometers. It is extent.

[0041] Moreover, the mean particle diameter of the grain of a dielectric layer 3 is 1-5 micrometers. It is desirable that it is extent.

[0042] And it is desirable that the surface ratio of the grain boundary phase which are parts other than the grain which constitutes a dielectric layer 3 from this invention is about 0.5 - 1.0% especially preferably 0.5 to 1.5% preferably 2% or less in the cross section of the arbitration of a dielectric layer 3.

[0043] If said range is surpassed, a life will become short, and it is in the inclination for dependability to fall.

[0044] Moreover, not much small, formation of a dielectric layer 3 is difficult and is in the inclination which becomes inadequate [the eburnation of a dielectric].

[0045] In addition, what is necessary is to take a photograph for measurement of the surface ratio of a grain boundary phase using a scanning electron microscope, and just to ask it after this.

[0046] This grain boundary phase uses as a component the oxide of the quality of the material which usually constitutes dielectric materials or an internal electrode ingredient, the oxide of the quality of the material added separately, and the oxide of the quality of the material mixed as an impurity still in process, and is usually formed by glass thru/or glassiness.

[0047] And at this invention, a grain boundary phase is SiO₂. They are about 25 - 50 % of the weight, and aluminum 2O₃ more preferably 15% of the weight or more. It is desirable that it is the oxide phase contained about 20 to 50% of the weight more preferably 15% of the weight or more.

[0048] Furthermore, it is desirable that P oxide is the oxide phase contained about 0.1 to 0.6% of the weight more preferably 0.05 to 1.0% of the weight as mentioned above.

[0049] In such a case, the improvement effectiveness in a life of this invention improves further.

[0050] Moreover, in a grain boundary phase, in addition to this, it is 55 or less % of the weight of the range, for example, calcium, Fe, Mn, Zr, Ti, Ba, nickel, Sr, etc. may contain in the form of a certain oxide.

[0051] In this case, SiO₂ It is mainly supplied out of the configuration of dielectric materials, and Ba, calcium, Sr, Ti, Zr, Mn, etc. are aluminum 2O₃. Mainly mixing as an impurity in process, Fe, P, etc. are mainly supplied from the impurity of an internal electrode ingredient and dielectric materials etc., and form a grain boundary phase.

[0052] Moreover, as shown to drawing 2 by this invention, as for a dielectric layer 3, it is desirable around internal electrodes 21 and 25 that the oxide layer 4 of a different presentation is formed.

[0053] The improvement effectiveness in a life of having excelled further then is acquired that the quality of the material of an oxide layer 4 should just be a thing containing one or more sorts of various oxides.

[0054] In this case, if one sort chosen as an oxide layer 4 from Mn oxide, P oxide, Fe oxide, etc. thru/or two sorts or more are contained, a life will be prolonged further and the further excellent dependability will be acquired.

[0055] Among these, in this invention, if Mn oxide is contained, high effectiveness will be accepted especially.

[0056] As for the content, in the case of Mn oxide, it is desirable that it is about 30 - 45 % of the weight especially preferably ten to 60% of the weight more preferably one to 99% of the weight in MnO conversion.

[0057] In addition, when it contains Mn oxide, aluminum, Si, calcium, nickel, Fe, Ba, Ti, Zr, P, etc. usually contain in the form of an oxide.

[0058] Mn oxide, Si, calcium, Ba, Ti, Zr, P, etc. are mainly supplied out of the configuration of dielectric materials, nickel is supplied out of an internal electrode ingredient, and further, Fe, P, aluminum, etc. are mainly supplied from the impurity of an internal electrode ingredient and dielectric materials etc., and are contained in an oxide layer.

[0059] In the case of P oxide, the content is P₂O₅. It is desirable that it is about 15 - 25 % of the weight especially preferably three to 30% of the weight more preferably 0.1 to 99% of the weight in conversion.

[0060] In addition, when it contains P oxide, Ti, Ba, Fe, aluminum, Si, calcium, Zr, Mn, etc. usually contain in the form of an oxide.

[0061] or [usually containing P oxide as an impurity in dielectric materials] -- or it contains in an oxide layer from added P compound. And it usually contains in the form of phosphate.

[0062] Moreover, Ti, Ba, calcium, Zr, Si, Mn, etc. are mainly supplied out of the configuration of dielectric materials, and further, Fe, aluminum, etc. are mainly supplied from the impurity of an internal electrode ingredient and dielectric materials etc., and are contained in an oxide layer.

[0063] It is thought that the oxide of these Mn and P is what works as a barrier layer which prevents the migration of nickel ion at the time of a load when deposited in an oxide layer.

[0064] In the case of Fe oxide, the content is Fe₂O₃. It is desirable that it is about 5 - 20 % of the weight especially preferably 0.5 to 30% of the weight more preferably 0.1 to 99% of the weight in conversion.

[0065] In addition, when it contains Fe oxide, aluminum, Si, calcium, Ti, nickel, Ba, Zr, Mn, P, etc. usually contain in the form of an oxide.

[0066] Fe oxide is mainly supplied from the impurity of an internal electrode ingredient and dielectric materials etc., and is contained in an oxide layer.

[0067] Moreover, Si, calcium, Ti, Ba, Zr, Mn, etc. are mainly supplied out of the configuration of dielectric materials, nickel is supplied out of an internal electrode ingredient, and further, aluminum, P, etc. are mainly supplied from the impurity of an internal electrode ingredient or dielectric materials etc., and are contained in an oxide layer.

[0068] By the way, in the grain which constitutes a dielectric layer 3, Fe component or Fe component contained in process contained in the raw material itself is contained, and it has become the cause of life-shortening.

[0069] Therefore, it is thought that it is what unlike said Mn oxide and P oxide brings together in an oxide layer 4, decreases Fe component in a grain, and raises a life in the case of Fe oxide.

[0070] The thickness of such an oxide layer 4 is 0.01-1 micrometer. It is especially desirable that it is about 0.05-0.2 micrometers.

[0071] Under in said range, it is in the inclination for the effectiveness of this invention to decrease, and if said range is surpassed, the accumulation-of-electricity capacity which is an original function as a capacitor will be reduced.

[0072] That is, it not only brings about the fall of capacity value, but dependability, such as a fall of breakdown voltage and compaction of a life, falls.

[0073] Moreover, although 1 layer structure is sufficient as an oxide layer 4, if it is two-layer structure as shown in drawing 2, its life of this invention will improve further.

[0074] Especially in the case of two-layer structure, what contains Mn oxide in one layer at high concentration at the layer of P oxide and another side is desirable. And if Fe oxide is contained further, it is much more effective.

[0075] In this case, P oxide is contained in the lower layer oxide layer 41, and Mn oxide is contained in the upper oxide layer 45. For this reason, the lower layer oxide layer 41 turns into a substrate layer, and can form an oxide layer 45 easily compared with the case of one layer. An oxide layer 45 can be formed, in addition, specifically, the content of Mn oxide can be made [many].

[0076] In addition, although Fe oxide is usually contained in the upper oxide layer 45, it may be contained in the lower layer oxide layer 41.

[0077] As for the content of Mn oxide of the upper oxide layer 45, it is desirable that it is about 25 - 40 % of the weight especially preferably ten to 50% of the weight preferably one to 99% of the weight in MnO conversion.

[0078] Moreover, the content of Fe oxide of the upper oxide layer 45 is Fe₂O₃. It is desirable that it is about 5 - 15 % of the weight especially preferably 0.1 to 25% of the weight preferably 0.1 to 99% of the weight in conversion.

[0079] In addition, Ti, nickel, calcium, Ba, Zr, aluminum, Si, P, etc. may contain in the form of an oxide further.

[0080] Moreover, the content of P oxide of the lower layer oxide layer 41 is P₂O₅. It is desirable that it is about 15 - 25 % of the weight especially preferably three to 30% of the weight preferably 0.1 to 99% of the weight in conversion.

[0081] In addition, Ba, calcium, Ti, Zr, aluminum, Si, Mn, nickel, etc. may contain in the form of an oxide further.

[0082] In this case, the thickness of the upper oxide layer 45 is 0.005-0.995 micrometers. It is 0.05-0.2 micrometers especially. It is desirable that it is extent.

[0083] Moreover, the thickness of the lower layer oxide layer 41 is 0.005-0.995 micrometers. It is 0.05-0.2 micrometers especially. It is desirable that it is extent.

[0084] In addition, in addition to this, an oxide layer 4 may be the structure of three or more layers.

[0085] And in the oxide layer 4, one or more sorts, such as Li, V, nickel, Zn, Y, Zr, Mo, Cd, Sn, Gd, Tb, Dy, Tl, etc. which were added by dielectric materials like the after-mentioned, may contain in

the form of an oxide.

[0086] Cu, Cu alloy, nickel, nickel alloy, etc. are usually used for the external electrodes 51 and 55.

[0087] In addition, of course, Ag, an Ag-Pd alloy, etc. are usable.

[0088] The thickness of the external electrodes 51 and 55 is usually 10-50 micrometers, although what is necessary is to be arbitrary and just to determine suitably according to the purpose or an application. It is extent.

[0089] And what is necessary is just to determine suitably such a configuration and size of the laminating mold chip capacitor 1 according to the purpose or an application. For example, in the case of-like [rectangular parallelepiped], it is usually about 1.6-3.2mmx0.8-1.6mmx0.6-1.2mm.

[0090] The laminating mold ceramic chip capacitor obtained by this invention approach is manufactured as follows.

[0091] First, the paste for dielectric layers 3, an internal electrode 21, the paste for 25 and the external electrode 51, and the paste for 55 are manufactured, respectively.

[0092] What is necessary is just to usually use oxides, such as Ti, Ba, Sr, calcium, and Zr, according to the presentation of the dielectric oxide mentioned later as raw material powder of the dielectric used in case the paste for dielectric layer 3 is manufactured.

[0093] In this case, if silicon oxide and/or manganese oxide are used further, still higher effectiveness will be acquired.

[0094] Moreover, these may use the compound which turns into an oxide by baking, for example, a carbonate, a sulfate, a nitrate, an oxalate, an organometallic compound, etc.

[0095] Furthermore, an oxide and the compound which turns into an oxide by baking may be used together.

[0096] These raw material powder is usually the mean particle diameter of 0.1-5 micrometers. The thing of extent is used.

[0097] What is necessary is just to perform it as follows, for example, for obtaining dielectric materials from such raw material powder.

[0098] A start raw material is first blended with a predetermined quantitative ratio, for example, wet blending is carried out with a ball mill etc.

[0099] Subsequently, it is made to dry with a spray dryer etc., temporary quenching is carried out after that, and silicon oxide, manganese oxide, and the dielectric oxide of the following formula are obtained.

[0100] In addition, temporary quenching is usually performed in air at 800-1300 degrees C for about 2 to 10 hours.

Formula $[(Ba_{1-x-y}Ca_xSr_y)O]_m(Ti_{1-z}Zr_z)_2O_2$ [0101] the above -- setting -- x -- 0.05 to 0.25 -- desirable -- 0.06 to 0.10, and y -- zero to 0.05 -- desirable -- zero to 0.01, and z -- 0.05 to 0.20 -- desirable -- 0.15 to 0.20, and m -- 1.000-1.020 -- it is 1.002-1.015 preferably.

[0102] Especially the content especially of manganese oxide has [the content of silicon oxide] about 0.005 - 0.5 % of the weight desirable [moreover,] about 0.10 to 0.20% of the weight 0.005 to 2% of the weight 0.05 to 0.25% of the weight.

[0103] In this case, MnO of silicon oxide is suitable for SiO₂ and manganese oxide.

[0104] In addition, addition of silicon oxide or manganese oxide may be performed after temporary quenching.

[0105] Subsequently, one or more sorts chosen as the above-mentioned dielectric oxide from the compound which turns into an oxide by the oxide of Y, Gd, Tb, Dy, Zr, V, Mo, Cd, Tl, Sn, and P and/or baking are added.

[0106] Furthermore, the compound which turns into Li oxide by Li oxide and/or baking may be added.

[0107] Or it changes to said oxide and compound and only the compound which turns into Li oxide by Li oxide and/or baking is added.

[0108] As a compound which turns into an oxide, a carbonate, a sulfate, an oxalate, a nitrate, an organometallic compound, etc. are mentioned, for example, and these one or more sorts may be used together.

[0109] In this case, an addition is Li₂O which is the most stable oxide, Y₂O₃, Gd₂O₃, Tb₂O₃, Dy₂O₃, ZrO₂, V₂O₅, MoO₃, CdO and Tl₂O₃, and SnO₂. And P₂O₅ It is about 0.05 - 0.20 % of the weight especially preferably 0.01 to 0.25% of the weight preferably a total of 0.005 to 0.5% of

the weight in conversion.

[0110] Under in said range, a life is short and it is in the inclination for dependability to fall.

[0111] If said range is surpassed, the accumulation-of-electricity capacity which is an original function as a capacitor will be reduced. That is, it not only brings about the fall of capacity value, but dependability, such as a fall of breakdown voltage and compaction of a life, falls.

[0112] Subsequently, it grinds until a jet mill or a ball mill makes predetermined particle size, and dielectric materials are obtained.

[0113] Additives, such as a binder used in case the paste for dielectric layer 3 is adjusted, a plasticizer, a dispersant, and a solvent, may be various things. Moreover, a glass frit may be added.

[0114] As a binder, for example as a plasticizer, ethyl cellulose, abietic-acid resin, poly vinyl butyral, etc. for example, as a dispersant, an abietic-acid derivative, diethyl oxalic acid, a polyethylene glycol, a polyalkylene glycol, FUTARU acid ester, FUTARU acid dibutyl, etc. For example, a glycerol, an octadecyl amine, a trichloroacetic acid, oleic acid, As solvents, such as OKUTA diene, ethyl oleate, a mono-oleic acid glycerol, a triolein acid glycerol, glyceryl tristearate, and a MENSEDEN oil, toluene, a terpeneol, butyl carbitol, a methyl ethyl ketone, etc. are mentioned, for example.

[0115] Making [in addition] into about 50 - 80 % of the weight the whole dielectric materials at the time of adjusting this paste rate of, a binder is 2 - 5 % of the weight, and a plasticizer is 0.1 - 5 % of the weight, A dispersant is made and a solvent is made into about 20 - 50 % of the weight 0.1 to 5% of the weight.

[0116] And said dielectric materials and these are mixed, for example, it kneads with 3 rolls etc., and considers as a paste (slurry).

[0117] Such mixture is used for nickel or nickel alloy pan as a conductor material used in case an internal electrode 21 and the paste for 25 are manufactured.

[0118] Especially a limit does not have such a conductor material in the configurations, such as the shape of a globular shape and a piece of Lynn, and the thing of these configurations may mix it.

[0119] Moreover, mean particle diameter is 0.1-10 micrometers. Further 0.1-1 micrometer What is necessary is just to use the thing of extent.

[0120] An organic vehicle contains a binder and a solvent.

[0121] As a binder, each well-known thing, such as ethyl cellulose, acrylic resin, and butyral resin, is usable, for example.

[0122] A binder content is made into about 1 - 5 % of the weight.

[0123] As a solvent, each well-known thing, such as a terpeneol, butyl carbitol, and kerosine, is usable, for example.

[0124] A solvent content is made into about 20 - 55 % of the weight.

[0125] In addition, various ceramic powder, such as a dielectric and an insulator, etc. can also be added if needed for the purpose, such as plasticizers, such as dispersants, such as a sorbitan fatty acid ester and a glycerine fatty acid ester, and dioctyl phthalate, dibutyl phthalate, butyl phthalyl glycolic-acid butyl, and DERAMI prevention, sintering control, in about a total of 10 or less % of the weight of the range.

[0126] Moreover, it is also effective to add organic metal resinate.

[0127] The external electrode 51 and the paste for 55 should just use the usual paste containing the above-mentioned conductor-material powder.

[0128] Thus, the laminating of the internal electrode 21 and the paste for 25 which were obtained, and the paste for dielectrics 3 is carried out by turns by print processes, the replica method, the green sheet method, etc., respectively.

[0129] Next, after cutting in predetermined layered product size, debinder processing and baking are performed. And in order to make a dielectric layer 3 reoxidate, it heat-treats.

[0130] Although what is necessary is just to perform debinder processing on condition that usual, it is desirable to carry out on condition that the following especially.

[0131] programming-rate: -- 10-300 degrees C/hour -- especially -- 50-100 degree-C/hour retention temperature:600-1200 degree C -- especially -- 700-900-degree-C holding-time:0.5 - 5 hours -- especially -- 1-3 hour oxygen tension:10-4-10-8atm and N2 especially humidified in the gas for 10-5 - 10-6atm ambient atmospheres It is suitable to use gas etc.

[0132] Baking is oxygen tension 10-7atm. They are 10-7 - 10-12 atm more preferably hereafter. It is desirable to carry out.

[0133] It is in the inclination for internal electrodes 21 and 25 to oxidize if said range is surpassed, and when too not much small, an electrode material is in a lifting and the inclination which breaks off about abnormality sintering.

[0134] And the following conditions of other baking conditions are desirable.

programming-rate: -- 50-500 degrees C/hour -- especially -- 200-300 degree-C/hour retention

temperature: 1250-1400 degree C especially -- 1300-1380-degree-C holding-time: -- 0.5 - 8 hours -- especially -- a 1-3 hour cooling rate: 50-500 degree-C/hour -- especially -- 200-300 degrees C

[0135]/hour In the gas for ambient atmospheres, it is neutrality or a reducing atmosphere, especially N₂ humidified. H₂ It is suitable to use mixed gas etc.

[0136] As for heat treatment, it is desirable to perform especially retention temperature thru/or 900-1200 degrees C of 900-1100 degrees C of maximum temperatures as 1000-1100 degrees C preferably.

[0137] Since said under range of oxidation of dielectric materials is inadequate, if it is in the inclination for a life to become short and said range is surpassed, nickel of an internal electrode will oxidize, and it reacts with a dielectric base and capacity not only falls, but is in the inclination for a life to also become short.

[0138] the oxygen tension in the case of heat treatment -- 10-4 -10-8atm -- more -- desirable -- 10-4-10-7atm It is desirable.

[0139] Under in said range, when reoxidation of a dielectric layer 3 or an oxide layer 4 is difficult and surpasses said range, it is in the inclination for internal electrodes 21 and 25 to oxidize.

[0140] And the following conditions of other heat treatment conditions are desirable.

holding-time: -- 0 - 6 hours -- especially -- a 2-5 hour cooling rate: 50-500 degree-C/hour --

especially -- 100-300 degrees C [0141]/hour In the gas for ambient atmospheres, it is neutrality thru/or a weak reducing atmosphere, especially N₂ humidified. It is suitable to use gas etc.

[0142] In addition, N₂ What is necessary is just to use WETTA etc., in order to humidify gas, mixed gas, etc. In this case, about 5-75 degrees C of water temperature are desirable.

[0143] Moreover, debinder processing, baking, and heat treatment may perform each continuously, or may be performed independently.

[0144] In addition, when carrying out independently, baking is faced, and the retention temperature of debinder processing is N₂. It is N₂, after carrying out a temperature up under a gas ambient atmosphere and cooling to the retention temperature thru/or the maximum temperature of heat treatment. It cools under a gas ambient atmosphere.

[0145] Moreover, in case it heat-treats, retention temperature thru/or a maximum temperature are N₂. A temperature up is carried out under a gas ambient atmosphere.

[0146] Thus, end-face polish is given to the obtained sintered compact with barrel finishing, sandblasting, etc., the paste for external electrodes can be burned on it, and the external electrodes 51 and 55 are formed.

[0147] And a pad layer is formed with the plating on the external electrode 51 and 55 etc. if needed.

[0148]

[Example] Hereafter, the concrete example of this invention is given and this invention is further explained to a detail.

Example 1 start raw material BaCO₃ : 65.28 % of the weight TiO₂ : 23.72 % of the weight ZrO₂ : 7.49-% of the weight CaCO₃ : 2.88 % of the weight SiO₂ : 0.18-% of the weight MnCO₃ : Wet blending of the start raw material of the 0.20 % of the weight above was carried out with the ball mill made from an alumina for 16 hours.

[0149] Subsequently, the dielectric oxide of the presentation which carries out temporary quenching at the temperature of 1200 degrees C for 3 hours, and is expressed with the following formula in air after making it dry with a spray dryer and SiO₂ MnO was obtained.

1.004 (Ti_{0.83}Zr_{0.17}), O₂ (Ba_{0.92}calcium_{0.08}) : 99.52 % of the weight SiO₂ : 0.18 % of the weight MnO:0.3 % of the weight [0150] And P2 O₅ It adds 0.1% of the weight, wet grinding is carried out with a ball mill for 16 hours, and it is the mean particle diameter of 1.4 micrometers. The dielectric materials of a barium titanate system were obtained.

[0151] Using these dielectric materials, with the compounding ratio shown below, it kneaded with 3 rolls, and it slurred and considered as the paste for dielectric layers.

dielectric-materials: -- 100 weight sections terpeneol: -- 28 weight sections toluene: -- 14 weight partial powder: -- 0.2 weight sections lacquer: -- the 36.5 weight sections [0152] Next, with the compounding ratio shown below, it kneaded with 3 rolls, and it slurred and considered as the paste for internal electrodes.

nickel:44.6-% of the weight terpeneol: -- 52-% of the weight ethyl cellulose: -- 3-% of the weight benzotriazol: -- 0.4 % of the weight [0153] The laminating mold ceramic chip capacitor 1 shown in drawing 1 as is the following was manufactured using these pastes.

[0154] First, the laminating was carried out by turns by print processes using the paste for dielectric layers, and the paste for internal electrodes. In addition, the number of laminatings of a dielectric layer 3 is 20 layers.

[0155] Subsequently, after cutting in predetermined size, debinder processing, baking, and heat treatment were continuously performed on condition that the following.

[0156] debinder processing programming-rate: -- 50-degree-C [/] hour retention temperature: -- 800-degree-C holding-time: -- gas for 2-hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-6 -- atm [0157] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified H2 mixed-gas oxygen tension: -- 10-8 -- atm [0158] heat treatment retention temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-6 -- atm [0159] In addition, it carried out to humidification of each gas for ambient atmospheres at the water temperature of 5-75 degrees C using WETTA.

[0160] After grinding the end face of the obtained sintered compact with sandblasting, the In-Ga alloy was applied and the electrode for a trial was formed.

[0161] thus, the size of the manufactured laminating mold ceramic chip capacitor 1 -- 3.2mmx1.6mmx1.2mm -- it is -- the thickness of a dielectric layer 3 -- 16 micrometers the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is .

[0162] moreover, the mean particle diameter of the grain of a dielectric layer 3 -- 3.0 micrometers it is .

[0163] And when the scanning electron microscope photograph of the cross section of a dielectric layer 3 is taken and the surface ratio of a grain boundary phase is measured, it is 1.8%, and the oxide layer was not formed in the perimeter of internal electrodes 21 and 25.

[0164] Moreover, it was as follows when the component analysis of a grain boundary phase was performed using the scanning transmission electron microscope (STEM).

Si oxide (SiO₂ conversion): -- 30.7-% of the weight aluminum oxide (2OAl₃ conversion): -- 25.4-% of the weight Mn oxide (MnO conversion): -- 0.3-% of the weight Fe oxide (2OFe₃ conversion): -- 1.3-% of the weight nickel oxide (NiO conversion): -- a 0.8 % of the weight P oxide () [P₂O₅] conversion : 0.3-% of the weight Ba oxide (BaO conversion): -- 30.1-% of the weight Ti oxide (TiO₂ conversion): -- 11.1-% of the weight calcium oxide (CaO conversion): -- 0.1-% of the weight Zr oxide (ZrO₂ conversion): -- 0.1 % of the weight [0165] Moreover, it was as follows when the component analysis of the grain of a dielectric layer 3 was performed using STEM.

1.004 (Ti_{0.83}Zr_{0.17}), O₂ (Ba_{0.92}calcium_{0.08}) : 99.914 % of the weight SiO₂ : 0.006 % of the weight MnO:0.08 % of the weight [0166] Next, the life was 0.8 hours when accelerated life test was performed in the temperature of 200 degrees C, and electrical-potential-difference DC200V to this capacitor.

[0167] The laminating mold ceramic chip capacitor was manufactured like the example 1 on baking of the example 2 following, and heat treatment conditions.

Additive P₂ O₅ : 0.1 % of the weight [0168] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 200-degree-C [/] hour ambient atmospheres: -- N2 humidified H2 mixed-gas oxygen tension: -- 10-8 -- atm [0169] heat treatment retention temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-5 -- atm [0170] in this case, the thickness of a dielectric layer 3 -- 16 micrometers the mean particle diameter

of a grain -- the surface ratio of 3.0 micrometers and a grain boundary phase -- 1.1% -- it is -- the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- the oxide layer was not formed in the perimeter of an internal electrode.

[0171] Moreover, the grain boundary phase of a dielectric layer 3 and the presentation of a grain were as follows.

[0172] grain boundary phase Si oxide (SiO₂ conversion): -- 31.6-% of the weight aluminum oxide (2OAl₃ conversion): -- 27.1-% of the weight Mn oxide (MnO conversion): -- 0.2-% of the weight Fe oxide (2OFe₃ conversion): -- 0.9-% of the weight nickel oxide (NiO conversion): -- a 0.9 % of the weight P oxide () [P₂O₅] conversion : 0.1-% of the weight Ba oxide (BaO conversion): -- 28.8-% of the weight Ti oxide (TiO₂ conversion): -- 10.3-% of the weight Zr oxide (ZrO₂ conversion): -- 0.1 % of the weight [0173] A grain [(Ba_{0.92}calcium_{0.08}) O] (Ti_{0.83}Zr_{0.17}) 1.004, O₂ : 99.914 % of the weight SiO₂ : The life was 1.2 hours when 0.006 % of the weight MnO:0.08 % of the weight and accelerated life test were performed.

[0174] The laminating mold ceramic chip capacitor which has an oxide layer 4 as shown to drawing 2 by baking of the example 3 following and heat treatment conditions like an example 1 was manufactured.

Additive P₂ O₅ : 0.15 % of the weight [0175] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N₂ humidified H₂ mixed-gas oxygen tension: -- 10-11 atm [0176] heat treatment retention temperature: -- 1100-degree-C holding-time: -- 3-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N₂ humidified gas oxygen tension: -- 10-5 -- atm [0177] In this case, the thickness of a dielectric layer 3 is 16 micrometers. The surface ratio of 3.4 micrometers and a grain boundary phase of the mean particle diameter of a grain was 1.6%. and the thickness of internal electrodes 21 and 25 -- 2.4 micrometers it is -- an oxide layer 4 -- two-layer -- it is -- the thickness of the upper oxide layer 45 -- the thickness of 0.05 micrometers and the lower layer oxide layer 41 -- 0.07 micrometers it was .

[0178] Moreover, the grain boundary phase of a dielectric layer 3 and the presentation of a grain were as follows.

[0179] grain boundary phase Si oxide (SiO₂ conversion): -- 32.4-% of the weight aluminum oxide (2OAl₃ conversion): -- 26.3-% of the weight Mn oxide (MnO conversion): -- 0.2-% of the weight Fe oxide (2OFe₃ conversion): -- 0.7-% of the weight nickel oxide (NiO conversion): -- a 0.7 % of the weight P oxide () [P₂O₅] conversion : 0.1-% of the weight Ba oxide (BaO conversion): -- 28.7-% of the weight Ti oxide (TiO₂ conversion): -- 10.8-% of the weight Zr oxide (ZrO₂ conversion): -- 0.1 % of the weight [0180] A grain [(Ba_{0.92}calcium_{0.08}) O] (Ti_{0.83}Zr_{0.17}) 1.004, O₂ : 99.914 % of the weight SiO₂ : 0.006 % of the weight MnO:0.08 % of the weight [0181] Moreover, it was as follows when STEM analyzed the layer presentation of an oxide layer 4.

[0182] lower layer oxide layer 41Si oxide (SiO₂ conversion): -- 0.3-% of the weight aluminum oxide (2OAl₃ conversion): -- 0.2-% of the weight Mn oxide (MnO conversion): -- 0.8-% of the weight Fe oxide (2OFe₃ conversion): -- a 2.1-% of the weight nickel oxide () [NiO] conversion: 1.8 % of the weight P oxide () [P₂O₅] conversion : 23.2-% of the weight Ba oxide (BaO conversion): -- 68.6-% of the weight Ti oxide (TiO₂ conversion): -- 2.8-% of the weight calcium oxide (CaO conversion): -- 0.1-% of the weight Zr oxide (ZrO₂ conversion): -- 0.1 % of the weight [0183] upper oxide layer 45Si oxide (SiO₂ conversion): -- 1.7-% of the weight aluminum oxide (2OAl₃ conversion): -- 0.3-% of the weight Mn oxide (MnO conversion): -- 31.6-% of the weight Fe oxide (2OFe₃ conversion): -- a 8.7-% of the weight nickel oxide () [NiO] conversion: 7.9 % of the weight P oxide () [P₂O₅] conversion : 2.1-% of the weight Ba oxide (BaO conversion): -- 3.8-% of the weight Ti oxide (TiO₂ conversion): -- 40.0-% of the weight calcium oxide (CaO conversion): -- 0.1-% of the weight Zr oxide (ZrO₂ conversion): -- 3.8 % of the weight -- and It is [0184] whose life was 1.6 hours when accelerated life test was performed. The laminating mold ceramic chip capacitor which has an oxide layer 4 as shown to drawing 2 by baking of the example 4 following and heat treatment conditions like an example 1 was manufactured.

Additive P₂ O₅ : 0.1 % of the weight [0185] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 200-degree-C [/] hour ambient atmospheres: -- N₂ humidified H₂ mixed-gas oxygen tension: -- 10-9 -- atm [0186]

heat treatment retention temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-5 -- atm [0187] In this case, the thickness of a dielectric layer 3 is 16 micrometers. The surface ratio of 3.2 micrometers and a grain boundary phase of the mean particle diameter of a grain was 0.9%. and the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- an oxide layer 4 -- one layer -- it is -- thickness -- 0.09 micrometers it was .

[0188] Moreover, the grain boundary phase of a dielectric layer 3 and the presentation of a grain were as follows.

[0189] grain boundary phase Si oxide (SiO₂ conversion): -- 28.4-% of the weight aluminum oxide (2OAl₂O₃ conversion): -- 23.1-% of the weight Mn oxide (MnO conversion): -- 1.2-% of the weight Fe oxide (2OFe₃ conversion): -- 0.6-% of the weight nickel oxide (NiO conversion): -- a 0.6 % of the weight P oxide () [P₂O₅] conversion : 0.4-% of the weight Ba oxide (BaO conversion): -- 31.6-% of the weight Ti oxide (TiO₂ conversion): -- 12.5-% of the weight calcium oxide (CaO conversion): -- 0.6-% of the weight Zr oxide (ZrO₂ conversion): -- 1.0 % of the weight [0190] A grain [(Ba_{0.92}calcium_{0.08}) O] (Ti_{0.83}Zr_{0.17}) 1.004, O₂ : 99.914 % of the weight SiO₂ : 0.006 % of the weight MnO:0.08 % of the weight [0191] Moreover, the layer presentation of an oxide layer 4 was as follows.

Si oxide (SiO₂ conversion): 0.1-% of the weight aluminum oxide () [Al₂O₃] conversion: 0.2-% of the weight Mn oxide () [MnO] conversion: -- 1.1-% of the weight Fe oxide (2OFe₃ conversion): -- 0.3-% of the weight nickel oxide (NiO conversion): -- 0.2 % of the weight P Oxide (P₂O₅ conversion) :19.3-% of the weight Ba oxide (BaO conversion): -- a 75.3-% of the weight Ti oxide () [TiO₂] conversion: -- 3.1-% of the weight calcium oxide (CaO conversion): -- 0.3-% of the weight Zr oxide (ZrO₂ conversion): -- the life was 1.7 hours when 0.1 % of the weight and accelerated life test were performed.

[0192] The laminating mold ceramic chip capacitor which has an oxide layer 4 as shown to drawing 2 by baking of the example 5 following and heat treatment conditions like an example 1 was manufactured.

Additive P₂ O₅ : 0.2 % of the weight [0193] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 200-degree-C [/] hour ambient atmospheres: -- N2 humidified H₂ mixed-gas oxygen tension: -- 10-12 atm [0194] heat treatment retention temperature: -- 1100-degree-C holding-time: -- 3-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-4 -- atm [0195] In this case, the thickness of a dielectric layer 3 is 16 micrometers. The surface ratio of 3.5 micrometers and a grain boundary phase of the mean particle diameter of a grain was 0.7%. and the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- an oxide layer 4 -- two-layer -- it is -- the thickness of the upper oxide layer 45 -- the thickness of 0.06 micrometers and the lower layer oxide layer 41 -- 0.09 micrometers it was .

[0196] Moreover, the grain boundary phase of a dielectric layer 3 and the presentation of a grain were as follows.

[0197] grain boundary phase Si oxide (SiO₂ conversion): -- 32.5-% of the weight aluminum oxide (2OAl₂O₃ conversion): -- 26.7-% of the weight Mn oxide (MnO conversion): -- 0.4-% of the weight Fe oxide (2OFe₃ conversion): -- 1.0-% of the weight nickel oxide (NiO conversion): -- 1.0-% of the weight Ba oxide (BaO conversion): -- 27.0-% of the weight Ti oxide (TiO₂ conversion): -- 11.4 % of the weight [0198] a grain [(Ba_{0.92}calcium_{0.08}) O] (Ti_{0.83}Zr_{0.17}) 1.004 and O₂ : 99.914 % of the weight SiO₂ : 0.006 % of the weight MnO: -- the layer presentation of an oxide layer 4 was as follows 0.08% of the weight again.

[0199] lower layer oxide layer 41Si oxide (SiO₂ conversion): -- 0.2-% of the weight aluminum oxide (2OAl₂O₃ conversion): -- 0.1-% of the weight Mn oxide (MnO conversion): -- 0.6-% of the weight Fe oxide (2OFe₃ conversion): -- a 2.3-% of the weight nickel oxide () [NiO] conversion: 2.1 % of the weight P oxide () [P₂O₅] conversion : 24.1-% of the weight Ba oxide (BaO conversion): -- 67.0-% of the weight Ti oxide (TiO₂ conversion): -- 3.3-% of the weight calcium oxide (CaO conversion): -- 0.2-% of the weight Zr oxide (ZrO₂ conversion): -- 0.1 % of the weight [0200] upper oxide layer 45Si oxide (SiO₂ conversion): -- 1.1-% of the weight aluminum oxide (2OAl₂O₃ conversion): -- 0.2-% of the weight Mn oxide (MnO conversion): -- 32.8-% of the weight Fe oxide (2OFe₃ conversion): --

a 9.8-% of the weight nickel oxide (NiO) conversion: 7.2 % of the weight P oxide (P_2O_5) conversion : 1.9-% of the weight Ba oxide (BaO conversion): -- 3.4-% of the weight Ti oxide (TiO_2 conversion): -- 39.8-% of the weight calcium oxide (CaO conversion): -- 0.2-% of the weight Zr oxide (ZrO_2 conversion): -- 3.6 % of the weight [0201] In addition, the content concentration of P oxide in the lower part and the up oxide layers 41 and 45 and Mn oxide was checked with the electron probe microanalyzer photograph. It is shown in drawing 3 - drawing 5 .

[0202] Drawing 3 is the microanalyzer photograph which looked at nickel, and two Rhine look white is nickel internal electrodes.

[0203] Drawing 4 is the microanalyzer photograph which looked at Mn, and four Rhine parts look white are parts with the high concentration of Mn.

[0204] Drawing 5 is the microanalyzer photograph which looked at P, and four Rhine parts look white are parts with the high concentration of P.

[0205] In addition, each microanalyzer photograph is expanded by 2350 times, respectively.

[0206] And the life was 3.4 hours when accelerated life test was performed.

[0207] It sets in the example 6 example 1, and is P_2O_5 . It changes and is V_2O_5 . It added 0.1% of the weight, and also it presupposed that it is the same, and the paste for dielectric layers was obtained. And the laminating mold ceramic chip capacitor was manufactured as having carried out baking and heat treatment conditions as follows, and also being the same as that of an example 1.

[0208] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N_2 humidified H_2 mixed-gas oxygen tension: -- 10-9 -- atm [0209] heat treatment retention temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N_2 humidified gas oxygen tension: -- 10-6 -- atm [0210] in this case, the thickness of a dielectric layer 3 -- 16 micrometers the mean particle diameter of a grain -- the surface ratio of 3.3 micrometers and a grain boundary phase -- 1.7% -- it is -- the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- the oxide layer was not formed in the perimeter of an internal electrode.

[0211] Moreover, the presentation of the grain boundary phase of a dielectric layer 3 was as follows.

[0212] grain boundary phase Si oxide (SiO_2 conversion): -- 30.2-% of the weight aluminum oxide (2OA_3 conversion): -- 25.6-% of the weight Mn oxide (MnO conversion): -- 0.7-% of the weight Fe oxide (2OFe_3 conversion): -- 0.3-% of the weight nickel oxide (NiO conversion): -- a 0.3 % of the weight P oxide (P_2O_5) conversion : 0.4-% of the weight Ba oxide (BaO conversion): -- 29.7-% of the weight Ti oxide (TiO_2 conversion): -- 12.0-% of the weight calcium oxide (CaO conversion): -- 0.2-% of the weight Zr oxide (ZrO_2 conversion): -- 0.6 % of the weight [0213] A grain and the grain of a dielectric layer 3 use 1.004 ($\text{Ti}_{0.83}\text{Zr}_{0.17}$) and O_2 as a principal component, and is MnO and SiO_2 ($\text{Ba}_{0.92}\text{calcium}_{0.08}$). And V_2O_5 Minute amount content was carried out. And the life was 1.0 hours when accelerated life test was performed.

[0214] The laminating mold ceramic chip capacitor was manufactured like the example 1 on the following baking and heat treatment conditions using the same paste for dielectric layers as example 7 example 6.

Additive V_2O_5 : 0.1 % of the weight [0215] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 200-degree-C [/] hour ambient atmospheres: -- N_2 humidified H_2 mixed-gas oxygen tension: -- 10-8 -- atm [0216] heat treatment retention temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N_2 humidified gas oxygen tension: -- 10-5 -- atm [0217] in this case, the thickness of a dielectric layer 3 -- 16 micrometers the mean particle diameter of a grain -- the surface ratio of 3.1 micrometers and a grain boundary phase -- 0.9% -- it is -- the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- the oxide layer was not formed in the perimeter of an internal electrode.

[0218] Moreover, the presentation of the grain boundary phase of a dielectric layer 3 was as follows.

[0219] grain boundary phase Si oxide (SiO_2 conversion): -- 31.8-% of the weight aluminum oxide (2OA_3 conversion): -- 27.3-% of the weight Mn oxide (MnO conversion): -- 0.3-% of the weight Fe oxide (2OFe_3 conversion): -- 0.3-% of the weight nickel oxide (NiO conversion): -- 0.2-% of the weight Ba oxide (BaO conversion): -- 28.5-% of the weight Ti oxide (TiO_2 conversion): -- 11.5-% of the weight calcium oxide (CaO conversion): -- 0.1 % of the weight [0220] A grain and the grain of a

dielectric layer 3 use 1.004 (Ti0.83Zr0.17) and O2 as a principal component, and is MnO and SiO2 (Ba0.92calcium0.08). And V2 O5 Minute amount content was carried out. And the life was 1.4 hours when accelerated life test was performed.

[0221] The laminating mold ceramic chip capacitor which has an oxide layer 4 as shown to drawing 2 by the following baking and heat treatment conditions like an example 1 was manufactured using the same paste for dielectric layers as example 8 example 6.

Additive V2 O5 : 0.1 % of the weight [0222] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified H2 mixed-gas oxygen tension: -- 10-10 atm [0223] heat treatment retention temperature: -- 1100-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-6 -- atm [0224] In this case, the thickness of a dielectric layer 3 is 16 micrometers. The surface ratio of 3.6 micrometers and a grain boundary phase of the mean particle diameter of a grain was 1.6%. and the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- an oxide layer 4 -- one layer -- it is -- thickness -- 2.5 micrometers it was .

[0225] Moreover, the presentation of the grain boundary phase of a dielectric layer 3 was as follows.

[0226] grain boundary phase Si oxide (SiO2 conversion): -- 32.5-% of the weight aluminum oxide (2OAl3 conversion): -- 27.9-% of the weight Mn oxide (MnO conversion): -- 0.6-% of the weight Fe oxide (2OFe3 conversion): -- 0.2-% of the weight nickel oxide (NiO conversion): -- 0.2-% of the weight Ba oxide (BaO conversion): -- 27.6-% of the weight Ti oxide (TiO2 conversion): -- 11.0 % of the weight [0227] A grain and the grain of a dielectric layer 3 use 1.004 (Ti0.83Zr0.17) and O2 as a principal component, and is MnO and SiO2 (Ba0.92calcium0.08). And V2 O5 Minute amount content was carried out.

[0228] Moreover, the layer presentation of an oxide layer 4 was as follows.

Si oxide (SiO2 conversion): 1.1-% of the weight aluminum oxide () [A] 2O3 conversion: 0.4-% of the weight Mn oxide () [MnO] conversion: -- 32.4-% of the weight Fe oxide (2OFe3 conversion): -- 10.7-% of the weight nickel oxide (NiO conversion): -- 8.3 % of the weight P Oxide (P2O5 conversion) :2.1-% of the weight Ba oxide (BaO conversion): -- a 3.9-% of the weight Ti oxide () [TiO2] conversion: -- 40.1-% of the weight calcium oxide (CaO conversion): -- 0.8-% of the weight Zr oxide (ZrO2 conversion): -- the life was 2.1 hours when 0.2 % of the weight and accelerated life test were performed.

[0229] The laminating mold ceramic chip capacitor which has an oxide layer 4 as shown to drawing 2 by the following baking and heat treatment conditions like an example 1 was manufactured using the same paste for dielectric layers as example 9 example 6.

Additive V2 O5 : 0.1 % of the weight [0230] baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 200-degree-C [/] hour ambient atmospheres: -- N2 humidified H2 mixed-gas oxygen tension: -- 10-10 atm [0231] heat treatment retention temperature: -- 1100-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10-5 -- atm

[0232] In this case, the thickness of a dielectric layer 3 is 16 micrometers. The surface ratio of 3.6 micrometers and a grain boundary phase of the mean particle diameter of a grain was 0.6%. and the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- an oxide layer 4 -- one layer -- it is -- thickness -- 0.11 micrometers it was . Moreover, the presentation of the grain boundary phase of a dielectric layer 3 was as follows.

[0233] grain boundary phase Si oxide (SiO2 conversion): -- 31.2-% of the weight aluminum oxide (2OAl3 conversion): -- 23.0-% of the weight Mn oxide (MnO conversion): -- 0.5-% of the weight Fe oxide (2OFe3 conversion): -- 0.1-% of the weight Ba oxide (BaO conversion): -- 32.3-% of the weight Ti oxide (TiO2 conversion): -- 12.9 % of the weight [0234] A grain and the grain of a dielectric layer 3 use 1.004 (Ti0.83Zr0.17) and O2 as a principal component, and is MnO and SiO2 (Ba0.92calcium0.08). And V2 O5 Minute amount content was carried out.

[0235] Moreover, the layer presentation of an oxide layer 4 was as follows.

Si oxide (SiO2 conversion): 0.9-% of the weight aluminum oxide () [A] 2O3 conversion: 0.2-% of the weight Mn oxide () [MnO] conversion: -- 38.3-% of the weight Fe oxide (2OFe3 conversion): -- 11.3-% of the weight nickel oxide (NiO conversion): -- 9.8 % of the weight P Oxide (P2O5

conversion) :2.2-% of the weight Ba oxide (BaO conversion): -- a 7.6-% of the weight Ti oxide (TiO_2) conversion: -- 29.2-% of the weight calcium oxide (CaO conversion): -- 0.3-% of the weight Zr oxide (ZrO_2 conversion): -- the life was 4.1 hours when 0.2 % of the weight and accelerated life test were performed.

[0236] Example of comparison 1P2O5 Others obtained the paste for dielectric layers like the example 1 without adding. And the laminating mold ceramic chip capacitor was manufactured as having carried out baking and heat treatment conditions as follows, and also being the same as that of an example 1.

[0237] additive-less baking programming-rate: -- 200-degree-C [/] hour retention temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N_2 humidified H_2 mixed-gas oxygen tension: -- 10^{-8} -- atm [0238] heat treatment retention temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [/] hour ambient atmospheres: -- N_2 humidified gas oxygen tension: -- 10^{-6} -- atm [0239] in this case, the thickness of a dielectric layer 3 -- 16 micrometers the mean particle diameter of a grain -- the surface ratio of 3.0 micrometers and a grain boundary phase -- 2.6% -- it is -- the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is -- the oxide layer was not formed in the perimeter of an internal electrode. Moreover, the grain boundary phase of a dielectric layer 3 and the presentation of a grain were as follows.

[0240] grain boundary phase Si oxide (SiO_2 conversion): -- 29.3-% of the weight aluminum oxide (2OAl_3 conversion): -- 24.2-% of the weight Mn oxide (MnO conversion): -- 0.6-% of the weight Fe oxide (2OFe_3 conversion): -- 0.3-% of the weight nickel oxide (NiO conversion): -- a 0.2 % of the weight P oxide (P_2O_5) conversion : 0.2-% of the weight Ba oxide (BaO conversion): -- 33.2-% of the weight Ti oxide (TiO_2 conversion): -- 11.8-% of the weight calcium oxide (CaO conversion): -- 0.1-% of the weight Zr oxide (ZrO_2 conversion): -- 0.1 % of the weight [0241] A grain $(\text{Ba}_{0.92}\text{Ca}_{0.08}\text{O}) (\text{Ti}_{0.83}\text{Zr}_{0.17}) 1.004, \text{O}_2 : 99.914 \%$ of the weight SiO_2 : The life was 0.34 hours when 0.006 % of the weight $\text{MnO} : 0.08 \%$ of the weight and accelerated life test were performed. The effectiveness of this invention is clearer than these results.

[0242] Moreover, it sets in the example 1 and is P_2O_5 . It changed, and independent addition of the compound of (1) - (10) shown below was carried out, and also it presupposed that it is the same, and the various pastes for dielectric layers were obtained.

(1) LiCO_3 (Li_2O conversion) : 0.1 % of the weight (2) Y_2O_3 (Y_2O_3 conversion) 407 (Tb_2O_3 conversion):0.1 % of the weight (5) of :0.1-% of the weight $\text{Gd}[(3)]_2\text{O}_3(\text{Gd}_2\text{O}_3$ conversion):0.1-% of the weight (4) $\text{Tb Dy}_2\text{O}_3(\text{Dy}_2\text{O}_3$ conversion): 0.1 % of the weight (6) ZrO_2 (ZrO_2 conversion) :0.1 % of the weight (7) MoO_3 (MoO_3 conversion) :0.1 % of the weight (8) CdO (CdO conversion) :0.1-% of the weight (9) $\text{Ti}_2\text{O}_3(\text{T}_2\text{O}_3$ conversion): 2 (SnO_2 conversion):0.1 % of the weight [0243] of 0.1 % of the weight (10) SnO(s) And when the laminating mold ceramic chip capacitor was manufactured using the various pastes for dielectric layers, the result equivalent to examples 1-9 was obtained. In addition, also when two or more sorts of compounds were added, the result almost equivalent to the above was obtained.

[0244]

[Effect of the Invention] The laminating mold ceramic chip capacitor of this invention has a long life. For this reason, the outstanding dependability is acquired. And when it has the oxide layer 4 of a presentation which is different in a dielectric layer 3, or when there are few grain boundary phases in a dielectric layer around internal electrodes 21 and 25, the effectiveness of this invention improves further to it.

[0245] Furthermore, it has an oxide layer 4, and moreover, when there are few grain boundary phases, a life increases further. In this case, especially the thing whose oxide layer 4 is the two-layer structure of the thing containing one or more sorts chosen especially as the oxide layer 4 from Mn oxide, P oxide, and Fe oxide, the layer containing Mn oxide, and the layer containing P oxide has a still longer life, and the further excellent dependability is acquired.

[Translation done.]

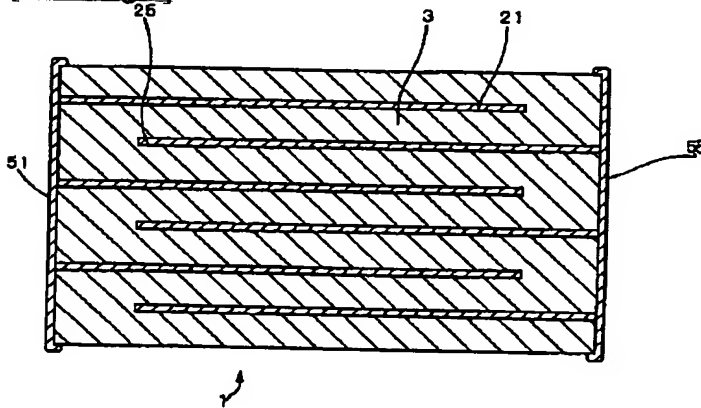
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

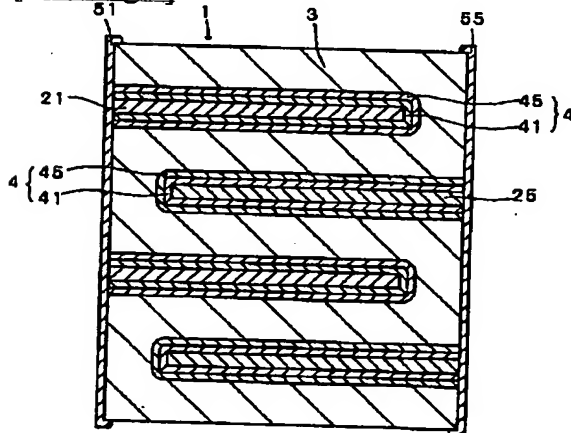
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

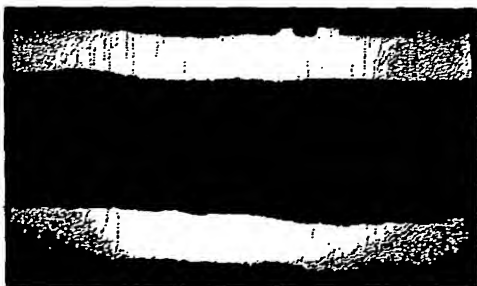
[Drawing 1]



[Drawing 2]



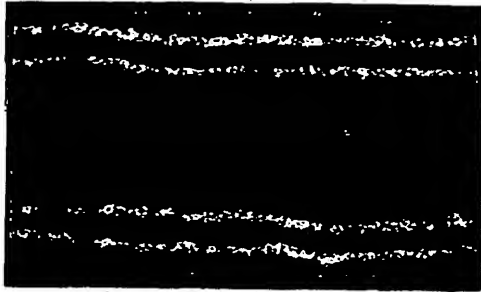
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning these documents will not correct the image
problems checked, please do not report these problems to
the IFW Image Problem Mailbox.**